

특 2002-0003275

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
G06G 3/36

(11) 공개번호 특2002-0003275
(43) 공개일자 2002년04월12일

(21) 출원번호	10-2001-0027111
(22) 출원일자	2001년05월18일
(30) 우선권 주장	2000-146603 2000년05월18일 일본 (JP)
(71) 출원인	가부시키가이샤 히타치세이사쿠쇼 가나이 쓰토무 일본 도쿄도 치요다구 간다스루가다이 4조메 6반치히타치 디바이스엔지니어링 가부시키가이샤 나시모토 류오조
(72) 발명자	일본국 치바켄 모바라시 히야노 3681 쿠지오카타카히로 일본국치바켄모바라시히야노2003-1 미토우시게루 일본국치바켄모바라시시모나가요시460 고토우미츠루 일본국치바켄치바시미도리쿠시이나자키쵸우486반찌 나카야스요조우 일본국치바켄모바라시오시비1215-216 사이토우요시유키 일본국치바켄모바라시나카노시마쵸우579
(74) 대리인	이종일, 조희연

심사관구 : 없음

(54) 역정표시장치

요약

본 발명은 역정구동회로에 입력되는 클럭신호의 총격비의 변동을 보상하고 영상신호의 입력이 정상으로 실행하도록 하여 표시품질을 향상시키는 것이 가능한 역정표시장치에 관한 것으로서 역정표시소자와 역정구동회로를 구비한다.

역정구동회로는 내부클럭신호의 제 1 레벨로부터 제 2 레벨로의 절환 혹은 제 2 레벨로부터 제 1 레벨로의 절환의 타이밍으로 역정구동회로에 입력된 영상신호를 버스에 입력하여 버스에 입력된 영상신호로부터 역정표시소자를 구동하는 전압을 선택하고 내부 클럭신호는 클럭보상회로에 의해 역정구동회로에 입력되는 외부클럭신호의 제 1 레벨기간과 제 2 레벨 기간을 각각 소정의 값으로 구비한 클럭신호이다.

도면도

도 11

발명서

도면의 간단한 설명

도 1 은 본 발명의 실시형태 1의 역정표시모듈의 표시판넬의 기본구성을 나타내는 블록도이다.

도 2 는 도 1에 나타나는 드레인 드라이버의 개략적인 구성을 나타내는 블록도이다.

도 3 은 도 2에 나타나는 클럭보상회로의 일례를 나타내는 블록도이다.

도 4 는 도 3에 나타나는 회로에 의해 총격비가 50%가 아닌 입력클럭신호(f_i)로부터 총격비가 50%의 출력클럭신호(f_o)가 구해지는 이유를 설명하기 위한 도이다.

도 5 는 도 2에 나타나는 클럭보상회로의 다른 예를 나타내는 블록도이다.

도 6 은 도 5에 나타나는 DL회로의 회로구성을 나타내는 회로도이다.

도 7 은 도 6에 나타나는 지연라인의 구성을 나타내는 회로도이다.

도 8 은 도 6에 나타나는 회로의 타이밍차트를 나타내는 도이다.

도 9 는 도 50에 나타나는 회로에 의해 총격비가 50%가 아닌 입력클럭신호(f1)로부터 총격비가 50%의 출력 클럭신호(f0)가 구해지는 이유를 설명하기 위한 도이다.

도 10 은 본 발명의 실시형태 1의 데이터삽입 ·연산회로 및 데이터출력회로의 회로구성을 나타내는 회로 도이다.

도 11 은 도 10에 나타내는 회로도에서 내부버스라인 1개당 회로구성을 나타내는 도이다.

도 12 는 도 11에 나타나는 클럭신호(CL 2)와 표시데이터와 내부신호선상의 표시데이터의 타이밍차트를 나타내는 도이다.

도 13 은 표시데이터전송용의 내부신호선을 내부버스라인과 별도로 설치된 경우의 개성을 나타내는 도이다.

도 14 는 본 발명의 실시형태 1의 드레인드라이버의 각 색상별로 근접하는 드레인신호선(V)당 회로구성을 보다 상세하게 나타내는 도이다.

도 15 는 도 10에 나타나는 연산회로(22)의 연산내용을 나타내는 도이다.

도 16 는 도 10에 나타나는 연산회로(25)의 연산내용을 나타내는 도이다.

도 17 은 표시데이터의 입력시점을 설명하기 위한 도이다.

도 18 은 도 10에 나타나는 지연회로(51)의 일례를 나타내는 회로도이다.

도 19 는 도 10에 나타나는 지연회로(51)의 다른 예를 나타내는 회로도이다.

도 20 은 드레인드라이버와 FPC기판의 유리기판과의 접속방법을 설명하기 위한 모식단면도이다.

도 21 은 본 발명의 실시형태 1의 드레인드라이버로의 전원전압 공급계통을 나타내는 도이다.

도 22 은 표시데이터 전송용회로에 공급하는 전원과 클럭신호 전송용회로에 공급하는 전원을 분리하지 않는 경우의 전원전압 공급계통을 나타내는 도이다.

도 23 은 본 발명의 실시형태 2의 드레인드라이버의 개략적인 구성을 나타내는 블록도이다.

도 24 는 본 발명의 실시형태 3의 드레인드라이버의 개략적인 구성을 나타내는 블록도이다.

도 25 는 본 발명의 실시형태 3의 클럭보상방법을 설명하기 위한 도이다.

도 26 은 본 발명의 실시형태 3의 일례의 클럭신호와 표시데이터와의 관계를 설명하기 위한 도이다.

도 27 은 본 발명의 실시형태 3의 클럭신호(CL 2)의 전송경로를 간략화하여 나타내는 도이다.

도 28 은 본 발명의 실시형태 4의 클럭신호(CL 2)의 전송경로를 간략화하여 나타내는 도이다.

도 29 는 본 발명의 실시형태 4의 클럭신호(CL 2)의 전송경로의 변형예를 간략화하여 나타내는 도이다.

도 30 은 본 발명의 실시형태 5의 데이터삽입 ·연산회로 및 데이터출력회로의 회로구성을 나타내는 회로 도이다.

도 31 은 도 30에 나타나는 스태바이회로의 회로구성을 나타내는 블록도이다.

도 32 는 듀얼에이지 입력방식에 있어서의 설정기간 및 유지기간을 설명하기 위한 도이다.

<주요부분에 대한 도면부호의 설명>

1 ~ 10 : 0형 플립 ·플롭회로	21 ~ 26 : 연산회로
31 ~ 32, 235A, 235B, 236A, 236B : 래치회로	
41, 41 : 멀티플렉서회로,	51 : 지연회로
52 : 회로소자	
61, 62, 63, 64, 351 : 스위치회로	71, 72 : 스태바이 회로
100 : 액정표시판넬	110 : 타이밍 컨트롤러
120 : 전원회로	
130, 130a, 130b, 130c : 드레인드라이버	
131 : 클럭제어회로	132 : 래치어드레스 셀렉터
133 : 데이터삽입 ·연산회로	134 : 데이터출력회로
135 : 래치회로(1)	136 : 래치회로(2)
137, 311, 237A, 237B : 디코더회로	138, 238A, 238B : 앰프회로
139 : 계조전압 생성회로	140 : 게이트드라이버
150 : 클럭시분 프린트배선기판(FPC)기판	
200 : 클럭보상회로	210 : 위상비교기
211 : 충전펌프회로	212 : 여과회로

213 : VCO 회로	214 : m주파수 분주기
200 : OLL회로	221, 222 : 2분할주파기
239 : 스위치회로	310 : 지연라인
312, 350 : 카운터	320, 322 : 배선층
321, 323 : 메탈라이징층	324 : 범프전극
333 : 표시데이터 전송용회로	331 : 플럭신호(OLL 2) 전송용회로
SUB 1 : 유리기관	R : 저항
DEL : 지연소자	HIZ : 스위치 소자
PIX : 화소전극	TFT : 박막트랜지스터
6 : 주사신호선(또는 게이트신호선)	
D, V : 영상신호선(또는 드레인신호선)	CST : 보지용량
CL : 용량선	EL : 배타적논리총회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로서 구동회로(드레이 드라이버)간에서 디지털신호를 전송하는 방식의 액정표시장치의 구동회로에 적용하는 유효한 기술에 관한 것이다.

STN(Super Twisted Nematic)방식 혹은 TFT(Thin Film Transister)의 액정표시모듈은 노트형 퍼스널 컴퓨터 등의 표시장치로서 폭넓게 사용되고 있다.

이들의 액정표시장치는 액정표시판넬과 액정표시판넬을 구동하는 구동회로를 구비하고 있다.

그리고 이와 같은 액정표시장치에 있어서 예를 들면 일본국특개평6-13724호 공보에 기재되어 있는 바와 같이 직접접속된 구동회로의 선도의 구동회로에 디지털신호(예를들면 표시데이터 혹은 플럭신호)를 입력하고 그 외의 구동회로에는 구동회로내를 통하여 디지털신호를 순차로 전송하는 방식(이하, 디지털신호 순차전송방식)으로 명기)이 알려져 있다.

상기 공보(일본국특개평6-13724호)에 기재되어 있는 액정표시장치에서는 구동회로를 구성하는 반도체접착회로장치(IC)는 액정표시판넬의 유리기관에 직접설치되어 있지만, 예를들면 일본국특개평6-3685호 공보에 기재되어 있는 바와 같이 구동회로를 구성하는 반도체접착회로장치(IC)를 테이프 캐리어 패키지에 탑재하고 상기 기술한 디지털신호 순차 전송방식을 채용한 액정표시장치도 알려져 있다.

또한, 디지털신호 순차 전송방식의 구동회로에 있어서 신호의 충격비의 변동을 취소하기 위하여 신호의 극성을 반전하여 다음단계의 구동회로에 전송하는 공지문헌에는 (사프정보, 제 74호(1999년 8월), 제 31 ~ 34항)이 있지만 어떤 공지기술도 플럭신호의 상승 타이밍과 하강타이밍을 맞추는 플럭보상회로에 관한 기재는 전혀 없다.

도 32(a)에 나타나는 바와 같이 표시데이터를 표시데이터입력용의 플럭신호의 상승시점과 하강시점에서 입력되고 듀얼에이지 입력방식의 경우에는 설정기간 및 유지기간에 여유를 주기 위하여 표시데이터의 절환시점의 중간시점에 플럭신호의 상승시점 및 하강시점이 일치하고 있어야 한다.

그런데 상기 기술한 바와 같은 디지털신호 순차 전송방식을 채용하는 액정표시장치에서는 타이밍 콘트롤러(또는 표시제어장치)로부터 송출된 표시데이터와 플럭신호는 각 구동회로내의 신호선 및 각 구동회로간의 전송선로(유리기관상의 전송선로 또는 테이프 캐리어 패키지상의 전송선로)를 전달하게 된다.

즉, 타이밍콘트롤러로부터 송출된 표시데이터와 플럭신호는 각 드레인 드라이버간에 전송되는 경우가 된다.

그로 인하여 각 드레인 드라이버내부의 특성 예를들면 CMOS인버터회로에 있어서의 각 MOS트랜지스터의 한 계치(V_{th})의 변동등과 전송선로상의 무엇인가의 요인에 의해 플럭신호의 충격비(즉, 펄스신호의 주기에 대한 High 레벨기간비)가 변동하고 또한 복수회수의 전달에 의해 충격비의 변동이 축적되어 있는 위험이 있다.

그리고 플럭신호의 충격비의 변동이 커지고 표시데이터와의 위상차가 커지면 도 32(b)와 같이 플럭신호에서 표시데이터를 입력할 때의 설정기간 혹은 유지기간이 감소하고 최악의 경우 각 구동회로에서 표시데이터를 입력하는 것이 불가능해지는 위험이 있고 액정표시판넬에 오차 표시가 발생하고 표시품질을 현저하게 해치는 경우가 된다.

상기 기술한 바와 같은 문제점은 플럭신호의 양에이지에서 표시데이터를 입력하는 방식의 경우에 있어서 보다 현저해지지만 플럭신호의 편방위의 에이지에서 표시데이터를 입력하는 방식에서도 예외는 아니다.

본 발명은 상기 종래기술의 문제점을 해결 하기 위하여 이루어진 것이고 본 발명의 목적은 액정표시장치에 있어서 액정 구동회로에 입력되는 플럭신호의 충격비의 변동을 보상하는 것이 가능해지는 기술을 제공하는 것이다.

또한, 본 발명의 또다른 목적은 액정표시장치에 있어서 영상신호의 입력이 정상으로 실행하도록 하여 액정표시소자의 표시품질을 향상시키는 것이 가능해지는 기술을 제공하는 것이다.

본 발명의 상기 및 그 외의 목적과 신규특징은 본 명세서의 기술 및 첨부도면에 의해 명확히 한다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기의 종래기술의 문제점을 해결하기 위하여 이루어진 것이고 본 발명의 목적은 액정표시장치에 있어서 액정구동회로에 입력되는 클럭신호의 충격비의 변동을 보상하는 것이 가능한 기술을 제공하는 것이다.

또한, 본 발명의 또다른 목적은 액정표시장치에 있어서 영상신호의 입력이 정상으로 실행하도록 하여 액정표시소자의 표시품질을 향상시키는 것이 가능한 기술을 제공하는 것이다.

본 발명의 상기 및 그 외의 목적과 신규특징은 본 명세서의 상기 및 첨부도면에 의해 명확히 한다.

본 원에 있어서 제시되는 발명가운데 대표적인 것의 개요를 간단하게 설명하면 하기와 같다.

즉, 본 발명은 액정표시소자와 액정구동회로를 구비하는 액정표시장치로서 상기 액정구동회로는 내부클럭신호의 제 1 레벨로부터 제 2 레벨로의 전환이고 혹은 제 2 레벨로부터 제 1 레벨로의 전환의 타이밍으로 상기 액정구동회로에 입력된 영상신호를 버스에 입력하고 상기 버스에 입력된 영상신호로부터 상기 액정표시소자를 구동하는 전압을 선택한다. 상기 내부클럭신호는 클럭보상회로에 의해 상기 액정구동회로에 입력되는 외부클럭신호의 제 1 레벨기간과 제 2 레벨기간을 각각 소정의 값을 구비한 클럭신호인 것을 특징으로 한다.

상기 수단에 의하면 각 액정구동회로에 있어서 클럭보상회로에 의해 상기액정구동회로에 입력되는 외부클럭신호의 제 1 레벨기간과 제 2 레벨기간을 각각 소정의 값으로 맞춘 내부클럭신호를 생성하도록 한 것으로 외부에서 입력되는 클럭신호의 충격비의 변동을 보상하는 것이 가능해진다.

이것에 의해 각 액정구동회로에서 정확하게 표시데이터를 삽입하는 것이 가능해지므로 액정표시소자의 표시품질을 향상시키는 것이 가능 해진다.

상기 기술의 클럭보상회로는 위상동기루프회로 혹은 지연동기루프회로를 이용하여 구성된다.

또한, 내부클럭신호를 다음단계의 액정구동회로에 출력하도록 하는 것으로 외부로부터 입력되는 클럭신호를 직접 다음단계의 액정구동회로에 출력하는 경우에 비하여 클럭신호의 충격비의 변동을 억제하는 것이 가능해진다.

제 1의 클럭신호와 해당하는 제 1의 클럭신호를 반전한 제 2의 클럭신호를 형성하고 상기 제 1의 클럭신호를 다음단계의 액정구동회로의 제 2의 클럭신호계통으로 공급하고 상기 제 2의 클럭신호를 다음 단계의 액정구동회로의 제 1의 클럭신호계통으로 공급하도록 하여 외부로부터 입력되는 클럭신호의 충격비의 변동을 보상한다.

상기에 의해 각 액정구동회로에서 정확하게 표시데이터를 삽입하는 것이 가능해지므로 액정표시소자의 표시품질을 향상시키는 것이 가능해진다.

또한, 표시데이터 전송용회로의 전원과 클럭신호 전송용회로의 전원을 분리하도록 하였기 때문에 클럭신호 전송용회로에 대한 표시데이터 전송용회로의 영향을 저감하는 것이 가능 해진다.

발명의 구성 및 작용

이하, 도면을 참조하여 본 발명의 실시형태를 상세하게 설명한다.

또한, 실시형태를 설명하기 위한 전도(畵圖)에 있어서 동일한 기능을 갖는 것은 동일부호를 주고 그 반복 설명은 생략한다.

[실시형태 1]

도 1은 본 발명의 실시형태 1의 액정표시모듈의 표시판넬의 기본구성을 나타내는 블록도이다.

동도에 나타나는 바와 같이 본 실시형태의 액정표시모듈은 액정표시판넬(100)과 타이밍컨트롤러(110)와 전원회로(120)와 드레인드라이버(130)와 게이트드라이버(140)와 출력시발 프린트배선기판(이하, FPC기판으로 명기.)(150)으로 구성된다.

액정표시판넬(100)은 화소전극(PIX), 박막트랜지스터(TFT)등이 형성되는 TFT기판, 대향전극, 칼라필터등이 형성되는 필터기판을 소정의 간격을 두어서 겹치게 하고 상기 기판간의 주연부 근방에 프레임형으로 설치된 셀재에 의해 양기판을 접합시키면서 셀재의 일부에 설치된 액정봉입구로부터 양기판간의 셀재의 내측에 액정을 주입하여 봉입하고 또한, 양 기판의 외측에 편광판을 부착하는 것으로 구성된다.

각 화소는 화소전극(PIX)과 박막트랜지스터(TFT)로 이루어지고 복수의 주사신호선(또는 게이트신호선)(G)과 영상신호선(또는 드레인신호선)(D)이 교차하는 부분에 대응하여 설치된다.

또한, 본 실시형태에서는 화소전극(PIX)의 전위를 보지하기 위하여 보지용량(CST)을 각 화소별로 설치한다.

CL은 보지용량(CST)에 기준전압(Vcom)을 공급하기위한 용량선이다.

또한, 용량선(CL)은 상기 라인의 주사신호선(G)으로 대응하는 것도 가능 하다.

각 화소의 박막트랜지스터(TFT)는 소스가 화소전극(PIX)에 접속되어 드레인이 영상신호선(D)에 접속되어 게이트가 주사신호선 (G)에 접속되고 화소전극(PIX)에 표시전압(게조전압)을 공급하기위한 스위치로서 기

능한다.

또한, 소스 드레인의 호칭은 바이머스의 관계에서는 반대가 되는 경우도 있지만 여기에서는 영상신호선(D)에 접속되는 쪽을 드레인으로 명한다.

타이밍컨트롤러(110)와 드레인드라이버(130)와 게이트드라이버(140)는 액정표시판넬(100)의 TFT기판을 구성하는 투명성의 절연기판(유리기판)상에 각각 실장된다.

그리고 상기 기술한 바와 같이 타이밍컨트롤러(110)에서 송출된 디지털신호(표시데이터, 클럭신호등) 및 전원회로부터 공급되는 계조기준전압은 선두의 드레인드라이버(130)에 입력되고 각 드레인드라이버(130)내의 내부신호선 및 각 게이트드라이버(140)간의 전송선로(유리기판상의 전송선로)를 전달하여 각 드레인드라이버(130)에 입력된다.

여기에서 각 드레인드라이버(130)의 전원전압은 전원회로(120)로부터 FPC기판(150)을 매개하여 각 드레인드라이버(130)에 공급된다.

동일한 형태로 타이밍컨트롤러(110)에서 송출된 디지털신호(클럭신호등)는 선두의 게이트드라이버(140)에 입력되고 각 게이트드라이버(140)내의 내부신호선 및 각 게이트드라이버(140)간의 전송선로(유리기판상의 전송선로)를 전달하여 각 게이트드라이버(140)에 입력된다.

단, 게이트드라이버측에서는 전원회로(120)로부터 공급되는 게이트드라이버(140)의 전원전압도 선두의 게이트드라이버(140)에 공급되고 각 게이트드라이버(140)내의 내부전선 및 각 게이트드라이버(140)간의 전송선로(유리기판상의 전송선로)를 매개하여 각 게이트드라이버(140)에 공급된다.

타이밍컨트롤러(110)는 1개의 반도체집적회로(LSI)로 구성되어 컴퓨터본체측으로부터 송신되어 오는 클럭신호 디스플레이 타이밍신호, 수평동기신호, 수직동기신호의 각 표시제어신호 및 표시용 데이터(R·G·B)를 기초로하여 드레인드라이버(130) 및 게이트드라이버(140)를 제어·구동한다.

게이트드라이버는 타이밍 컨트롤러(110)에서 송출되는 프레임개시지시신호(FLW) 및 쉬프트클럭(CL 3)에 근거하여 1수평주사시간별로 순차로 액정표시판넬(100)의 각 게이트신호선(G)에 High레벨의 선택주사전압을 공급한다.

상기에 의해 액정표시판넬(100)의 각 게이트신호선(G)에 접속된 복수의 박막트랜지스터(TFT)가 1수평 주사시간 사이를 전도한다.

도 2는 도 1에 나타나는 드레인드라이버(130)의 개략구성을 나타내는 블록도이다. 또한, 상기 도 2에 있어서 첨자 1은 드레인드라이버(130)의 외부로부터 입력되는 신호를 의미하고 첨자 2는 드레인드라이버(130)내를 이동하여 드레인드라이버(130)로부터 외부로 출력되는 신호를 의미하고 있다.

예를들면 CL 21은 외부로부터 입력되는 표시데이터래치용 클럭신호이다. 표시데이터 래치용 클럭신호는 드레인드라이버(130)내를 이동하여 외부(다음단계의 드레인드라이버(130)로 출력된다. 드레인드라이버(130)로부터 외부로 출력되는 표시데이터 래치용 클럭신호는 CL 20로 나타내고 있다.

동도에 나타나는 클럭보상회로(200)는 외부로부터 입력표시데이터 래치용클럭신호(CL 21)에 근거하여 총 격비가 500%의 내부클럭신호(즉, High레벨기간과 Low기간이 비등한 클럭신호)(CLL 2)를 생성한다.

동도에서 나타나는 래치회로(1)(135)는 래치어드레스셀렉터(132)로부터 송출되는 데이터입력신호에 근거하여 데이터삽입·연산회로(133)로부터 송출되는 표시데이터를 순차로 래치한다.

또한, 데이터삽입·연산회로(133)로부터 송출되는 표시데이터는 데이터출력회로(134)를 경과하여 외부로 출력된다.

여기에서 래치어드레스셀렉터(132)는 클럭제어회로(131)로부터 송출되는 내부클럭신호(CLL 2)에 근거하여 데이터입력신호를 생성한다.

래치회로(2)(136)는 클럭제어회로(131)로부터 송출되는 출력타이밍 제어용클럭(CL 1)에 근거하여 래치회로(1)(135)에 래치된 표시데이터를 입력하고 디코더회로(137)에 출력한다.

디코더회로(137)는 계조전압 생성회로(139)로부터 공급되는 64계조의 계조전압으로부터 래치회로(2)(136)로부터 송출된 표시데이터에대응하는 계조전압을 선택기하여 앰프회로(138)에 출력한다.

앰프회로(138)는 디코더회로(137)로부터 송출된 계조전압을 증폭(전류증폭)하여 각 드레인 신호선(D)(V1)에 공급한다.

이상의 동작에 의해 액정표시판넬(100)에 화상이 표시된다.

또한, 디코더회로(137) 및 앰프회로(138)는 각각 플러스전극용의 회로와 마이너스전극용의 회로로 구성되지만 여기에서는 상세한 설명은 생략한다.

또한, 계조전압생성회로(139)는 외부로부터 공급되는 플러스전극용의 계조기준전압(V0 ~ V4)에 근거하여 플러스전극용의 64계조전압과 외부로부터 공급되는 마이너스전극용의 계조기준전압(V5 ~ V9)에 근거하여 마이너스전극용의 64계조의 계조전압을 생성한다.

도 3은 도 2에 나타나는 클럭보상회로(200)의 일례를 나타내는 블록도이다.

이 도 3에 나타나는 클럭보상회로(200)는 위상동기루프회로(이하, 단순히, PLL로 명한다.)를 이용한 회로이다.

이 PLL회로를 이용한 클럭보상회로는 회로의 점유면적이 작고, 드레인드라이버를 소형화하기에 유리하고 액정표시판넬의 주변영역을 작게할 수 있다.

도 3에 나타나는 회로는 위상 비교기(210)과 충전펌프회로(211)와 여과회로(212)와 전압제어 발신회로(미

하, 단순히, VCO회로(213)와 n 주파수분할주파기(214)로 구성된다.

이 PLL회로에서는 입력클럭신호(f_i)와 n 주파수 분할주파기(214)에서 출력되는 출력클럭신호(f_o)와의 위상을 위상비교기(210)로 비교한다.

위상비교기(210)는 위상비교한 결과 입력클럭신호(f_i)의 위상이 출력클럭신호(f_o)보다 앞서는 경우에는 위상 지연필스(INC)를 출력하고, 또한, 입력클럭신호(f_i)의 위상이 출력클럭신호(f_o)보다도 지연하고 있는 경우에는 위상전행필스(DEC)를 출력한다.

충전점프회로(211)는 상기 기술의 위상지연필스(INC) 혹은 위상전행필스(DEC)를 각각 전류필스로 변환하고 여과회로(212)는 상기 기술의 위상지연필스(INC)에 근거하여 전류필스에 의해 내부콘덴서의 전위를 상승시키고 또한, 상기 기술의 전행필스(DEC)에 근거하여 전류필스에 의해 내부콘덴서의 전위를 하강시킨다.

링발전기 혹은 이미터(Emitter)결합형 비안정 멀티바이블레이터(Multivibrator)회로등으로 구성되는 VCO회로(213)는 이 내부 콘덴서의 전위에 근거하여 클럭신호(f_m)의 발진주파수를 가변한다.

이것에 의해 입력클럭신호(f_i)와 출력클럭신호(f_o)와의 발진주파수와 위상이 일치한다.

이하, 도 4를 이용하여 도 3에 나타나는 PLL회로에 의해 충격비가 50%가 아닌 입력클럭신호(f_i)로부터 충격비가 50%의 출력클럭신호(f_o)가 나오는 이유를 설명한다.

또한, 이 도 4는 VCO회로(213)가 입력클럭신호(f_i)의 2배의 주파수의 클럭신호(f_m)를 출력하고 n 주파수분할주파기(214)가 주파수분할주파기로 구성되는 경우의 타이밍차트를 나타내고 있다.

도 4에 나타나는 바와 같이 충격비가 50%가 아닌 입력클럭신호(f_i)와 출력클럭신호(f_o)가 동기한 경우에는 VCO회로(213)로부터 입력클럭신호(f_i)의 2배의 주파수의 클럭신호(f_m)가 출력된다.

이 클럭신호(f_m)는 2분할주파기로 분할주파기되어 출력클럭신호(f_o)가 되지만 출력클럭신호(f_o)는 클럭신호(f_m)의 상승(또는 하강)시점에서 High레벨로부터 Low레벨 또는 Low 레벨에서 High레벨로 변화하는 클럭신호가 되므로 이 출력클럭신호(f_o)는 충격비가 50%의 클럭신호가 된다.

또한, VCO회로(213)에서는 반드시 충격비가 50%의 클럭신호(f_m)가 얻어지는 것이 아니므로 도 3에 나타나는 PLL회로의 n 주파수분할주파기(214)는 최종적으로 충격비가 50%의 출력클럭신호(f_o)를 구하기 위하여 설치된다.

도 5는 도 2에 나타나는 클럭보상회로(200)의 다른 예를 나타내는 블록도이다.

이 도 5에 나타나는 클럭보상회로(200)는 지연등기루프회로(이하, 단순히 DLL회로로 명기.)를 이용한 회로이다.

DLL회로를 이용한 클럭보상회로는 지연라인을 갖는 점에서 PLL회로를 이용하는 것보다 회로의 점유면적이 커지지만 고속의 신호가 불필요하므로 동작이 안정되며 액정표시판넬의 화소수가 증가하여도 신호주파수가 높아지지 않기 때문에 안정한 동작이 가능해진다.

도 5에 나타나는 회로는 DLL회로(220)와 2분할주파기(221, 222)와 배타적 논리합회로(EOR)로 구성된다.

도 6은 도 5에 나타나는 DLL회로(220)의 회로구성을 나타내는 회로도이고 도 7은 도 6에 나타나는 지연라인(310)의 구성을 나타내는 회로도이다.

또한, 도 8은 도 6에 나타나는 회로의 타이밍차트를 나타내는 도이다.

이 도 6에 나타나는 DLL회로(220)에 있어서 업프·다운카운터(312)는 입력(IN)의 상승에이지에 대해서 OUT 2(DWN)이 High레벨, OUT 3(UP)이 Low레벨 상태에 있을 때에는 또한 위상을 지연시키기 위한 카운터값을 +1로 한다.

디코더회로(311)는 업프·다운카운터(312)의 카운터값을 해독하여 해당하는 카운터값으로 대응하는 지연라인(310)의 스위치소자(HIZ)의 하나를 온으로 하고 신호선상의 지연소자(DEL)를 증가시켜서 지연라인(310)의 지연시간을 증가시킨다.

반대로 입력(IN)의 상승에이지에 대해서 OUT 2(DWN)이 Low레벨, OUT 3(UP)이 High레벨의 상태일 경우는 업프·다운카운터(312)는 과다지연된 위상을 되돌리기 위하여 카운터 값을 -1로 한다.

디코더회로(311)는 업프·다운카운터(312)의 카운터 값을 해독하여 해당하는 카운터값으로 대응하는 지연라인(310)의 스위치소자(HIZ)의 하나를 온으로 하고 신호선상의 지연소자(DEL)를 감소시켜서 지연라인의 지연시간을 감소시킨다.

또한, 입력(IN)의 상승에이지에 대해서 OUT 2(DWN), OUT 3(UP) 함께 Low레벨상태에 있을 때에는 위상이 일치하고 있는 것으로 하여 업프·다운카운터(312)는 카운터값을 보지한다.

상기에 의해 OUT 2에서 입력클럭신호(f_i)에 대해서 위상이 180° 지연한 클럭신호(f_t)가 구해진다.

이하, 도 9를 이용하여 도 5에 나타나는 회로에 의해 충격비 50%가 아닌 입력클럭신호(f_i)로부터 충격비가 50%의 출력클럭신호(f_o)가 구해지는 이유를 설명한다.

도 9에 나타나는 바와 같이 DLL회로(220)에서는 충격비 50%가 아닌 입력클럭신호(f_i)에 대해서 위상이 180° 지연한 클럭신호(f_t)가 구해진다.

상기 입력클럭신호(f_i)는 2분할주파기 221에 위상이 180° 지연한 클럭신호(f_t)는 2분할주파기 222에 입력되는 2분할주파 된 클럭신호가 된다.

상기의 경우에 상기 기술한 바와 같이 2분할주파기로 분할주파된 클럭신호는 2분할주파전의 (예를들면,

입력클럭신호(f1)의 상승(또는 하강)) 시점에서 High레벨에서 Low레벨 및 Low레벨에서 High레벨로 변화하는 클럭신호가 되기 때문에 이 2분할주파기에서 분할주파된 클럭신호는 총격비가 50%의 클럭신호가 된다.

이 2분할 주파기(221, 222)에 2분할 주파된 클럭신호를 배타적논리 총화로(EDR)에 입력하는 것에 의해 입력클럭신호(f1)에 동기하고 총격비가 50%의 출력클럭신호(f0)가 구해진다.

또한, 도 3에 나타나는 클럭보상회로(200)는 회로규모를 작게할 수 있는 이점이 있지만 그 반면에 고속동작이 필요해지는 단점이 있다.

상기에 대해서 도 5에 나타나는 클럭보상회로(200)는 고속동작을 필요로 하지 않는 장점이 있지만 그 반면 회로규모가 커지는 단점이 있다.

따라서 실제 제품에 본 발명의 클럭보상회로(200)를 조립한 경우에는 상기 기술한 장단점을 고려할 필요가 있다.

다음으로 도 2에 나타나는 데이터입력·연산회로(133) 및 데이터출력회로(134)에 대해서 설명한다. 도 10은 데이터입력·연산회로(133) 및 데이터출력회로(134)의 회로구성을 나타내는 회로도이다.

상기 도 10에 있어서 점선보다 좌측(지시선 AA의 방향)이 데이터삽입·연산회로(133)를 나타내고 점선보다 우측(지시선 BB의 방향)이 데이터출력회로(134)를 표시하고 있다.

도 10에 나타나는 바와 같이 데이터입력·연산회로(133)는 연산회로(21, 22, 23)와 래치회로(31)로 구성되고 또한 데이터출력회로(134)는 연산회로(24, 25, 26)와 래치회로(32, 33)와 멀티플렉스회로(41, 42)와 지연회로(51)로 구성된다.

또한, 도 10에서는 표시데이터 전송용의 내부신호선은 드레인드라이버(130)의 액정구동 전압출력에 사용하고 있는 내부버스라인으로 겸용한 경우를 나타내고 있다.

이하 각부의 동작에 대해서 설명한다.

도 11은 도 10에 나타나는 회로도에 있어서 내부버스라인 1개당 회로구성을 나타내는 도이고 도 12는 도 11에 나타나는 클럭신호(CLL 2)와 표시데이터와 내부신호선상의 표시데이터의 타이밍차트를 나타내는 도이다.

또한, 상기 도 11에서는 연산회로(21, 22, 24, 25)는 생략하고 있다.

도 12에 나타나는 바와 같이 클럭신호(CLL 2)의 상승시점에서 외부로부터 입력된 표시데이터(D1)는 0형 플립·플롭회로(이하, 단순히 플립·플롭회로로 명기한다.)(1)에 입력된다.

또한, 클럭신호(CLL 2)의 상승시점에서 외부로부터 입력된 표시데이터(D2)는 플립·플롭회로(3)에 입력되어 내부버스라인(B)에 출력되어 동시에 플립·플롭회로(1)에 입력된 표시데이터(D1)는 플립·플롭회로(2)에 입력되어 내부버스라인(A)에 출력된다.

이와 같이 본 실시형태에서는 동일 타이밍으로 내부버스라인에 표시데이터가 송출된다.

또한, 내부버스라인이 2개쌍의 버스라인으로 구성되는 이유는 후 기술한다.

내부버스라인(A, B)에 송출된 표시데이터는 드레인드라이버(130)의 길이방향으로 전달되고 즉, 반도체칩의 길이에 걸쳐서 전달되므로 내부버스라인의 배선저항 및 배선용량에 의해 지연이 발생하고 클럭신호(CLL 2)와의 위상미합이 발생한다.

이로 인하여 클럭신호(CLL 2)의 하강시점에서 내부버스라인상의 표시데이터(D1)를 플립·플롭회로(4)에 입력하고 동시에 내부버스라인상의 표시데이터(D2)를 플립·플롭회로(5)에 입력하여 상기 기술한 위상이탈을 흡수한다.

또한 플립·플롭회로(4)와 플립·플롭회로(5)에 입력된 표시데이터는 멀티플렉스회로(스위치회로)(41)에 의해 교대로 외부에 출력된다.

상기에 의해 외부에 출력되는 표시데이터는 외부로부터 입력된 순서로 외부에 출력된다.

다음 단계의 드레인드라이버에 전송하는 신호를 극성반전하여 출력하는 공지문헌(사프정보 제 74호(1999년 8월) 제 31 ~ 34항)의 기술에서는 플러스논리의 드레인 드라이버와 마이너스논리의 드레인드라이버를 교대로 종속접속해야 할 필요가 있기 때문에 드레인드라이버가 2종류가 필요해지고 드레인드라이버의 코스트가 높아지는 액정표시장치의 조립이 복잡해지고 수율이 향상하지 않는 등의 단점이 있다.

그러나 본 발명에 의하면 클럭신호(CLL 2)의 총격을 보정하는 회로를 설치하여 전송데이터를 반전할 필요가 없고 드레인드라이버도 1종류로 수료하므로 드레인드라이버의 코스트도 높아지지 않고 액정표시장치의 조립도 용이해지고 수율이 대폭으로 향상하는 효과가 있다.

또한, 도 10에서는 표시데이터 전송용의 내부신호선을 드레인드라이버(130)의 액정구동전압 출력에 사용하고 있는 내부버스라인에서 겸용한 방법에 대해서 설명하였지만 예를들면 도 13에 나타나는 바와 같이 표시데이터 전송용의 내부신호선을 드레인드라이버(130)의 액정구동 전압출력에 사용하고 있는 내부버스라인과 별도로 설치하도록 하여도 좋다.

단 도 13에 나타나는 예에서는 자체드레인 드라이버(130)의 36개의 내부버스라인(예를들면 6비트 \times 4(R, B, G의 버스라인) \times 2-36개)과 상기와 동등한 내부신호선이 필요하므로 드레인드라이버(130)를 구성하는 반도체칩의 면적이 증대하는 만큼 불리해진다.

이것에 대해서 본 실시형태에서는 표시데이터전송용의 내부신호선을 드레인드라이버(130)의 액정구동 전압출력에 사용하고 있는 내부버스라인으로 겸용하도록 하였으므로 도 13에 나타나는 예에 비하여 반도체

칩의 면적을 작게하는 것이 가능하다.

다음으로 도 10에 도됨아가 연산회로(21, 22)동작에 대해서 설명한다.

도 1의 타이밍콘트롤러(110)와 선두의 드레인드라이버(13) 및 각 드레인 드라이버(130)간을 접속하고 있는 표시데이터 전송선로내에서는 표시데이터의 변화에 의한 소비전력(전송선로에서는 충전 및 방전등)이 문제가 된다.

예를들면 3화소($\times 6$ 비트 = 18개)의 표시데이터 가운데 어느 9개가 High레벨이고 나머지 9개가 Low레벨이며 그다음의 3화소분의 표시데이터가 이 반전레벨이되는 경우 18개의 전체 표시데이터가 변화하는 것에 의해 이 동작이 고속이며 또한 전력이 큰 만큼 표시데이터 전송선로에서의 충전 방전에 의해 소비전력이 커진다.

상기에서 상기 상태에 의한 소비전력을 억제하기 위하여 타이밍콘트롤러(110)에서는 데이터반전신호(도 2에 나타나는 POL신호)를 하나 설치하고 데이터반전신호에 기초하여 18개의 표시데이터를 미리 연산하여 상기 18개의 표시데이터의 변화는 실행하지 않고 데이터반전신호만을 레벨로 반전하고 송출한다.

각 드레인드라이버(130)의 연산회로(21)는 이들의 신호를 연산하는 것으로 3화소($\times 6$ 비트 = 18개)의 표시데이터 가운데 어느 9개가 High레벨이고 나머지 9개가 Low레벨이며 그다음의 3화소분의 표시데이터가 이 반전레벨을 생성하고 데이터반전신호가 없는 경우와 동일한 기능을 실현하여 소비전력을 억제하는 회로이다.

연산회로(2)는 배타적논리 총계로 구성되고 표 1에 나타나는 바와 같이 데이터반전신호(도 2에 POL신호)가 [1]일 경우에 표시데이터를 반전하지 않고 출력하고 데이터반전신호(도 2의 POL신호)가 [1]일 경우에 표시데이터를 반전시켜서 출력한다.

[표 1]

입력		출력
데이터입력신호	데이터 반전신호	A
0	0	0
0	1	1
1	0	1
1	1	0

다음으로 연산회로(22)의 동작에 대해서 설명한다.

액정표시판넬(100)은 교류화구동방법에 의해 구동된다.

이 교류화구동방법의 하나로 일반대칭법이 있고 일반대칭법(예를들면 도트반전법, n라인반전법)에서는 각 화소전극에 플러스전극성의 계조전압과 마이너스전극성의 계조전압을 인가할 필요가 있다.

도 14는 본 실시형태의 드레인드라이버(130)의 각 색상별로 근접하는 드레인 신호선(V_i, V_i + 1)/당의 회로구성을 보다 상세하게 나타내는 도이다.

이 도 14에 있어서 235A, 235B는 도 2에 나타나는 래치회로(1)(135)의 각각의 래치회로를 나타내고 236A, 236B는 도 2에 나타나는 래치회로(2)(136)의 각각의 래치회로를 나타낸다.

또한, 237A, 237B는 도 2에 나타나는 디코더회로(137)의 각각의 디코더회로를 나타내고 237A는 플러스전극성의 계조전압을 선택하는 고전압 디코더회로이고 237B는 마이너스전극성의 계조전압을 선택하는 저전압 디코더회로이다.

동일한 형태로 238A, 238B는 도 2에 나타나는 앰프회로(138)의 각각의 앰프회로를 나타내고, 237A는 플러스전극성의 계조전압을 증폭하는 고전압 앰프회로이면 237B는 마이너스전극성의 계조전압을 선택하는 저전압 앰프회로이다.

이와 같이 본 실시형태에서는 각 드레인신호선별로 플러스전극성의 회로와 마이너스전극성의 회로를 설치하는 대응으로 근접하는 각 색상별로 드레인신호선별로 한쌍의 플러스전극성 회로와 마이너스전극성 회로를 설치하고 스위치(239)에서 절환하여 근접하는 각 색상별의 드레인신호선의 각각에 플러스전극성의 계조전압 혹은 마이너스전극성의 계조전압을 공급하도록 하고 있다.

예를들면 드레인신호선(V_i)에 플러스전극성의 계조전압, 드레인신호선(V_i+1)에 플러스전극성의 계조전압을 인가하는 경우에는 스위치부(239)에서 드레인신호선(V_i)을 플러스전압 앰프회로(238A)에 드레인신호선(V_i + 1)을 저전압 앰프회로(238B)에 접속하고 반대로 드레인신호선(V_i)에 마이너스전극성의 계조전압, 드레인신호선(V_i + 1)에 플러스전극성의 계조전압을 인가하는 경우에는 스위치부(239)로 드레인신호선(V_i)을 저전압 앰프회로(238B)에 드레인신호선(V_i + 1)을 플러스전압 앰프회로(238A)에 접속한다.

그러나 플러스전극성측의 래치회로(235)는 도 10에 나타나는 내부 버스라인(D)에 접속되고 마이너스전극성측의 래치회로(235B)는 도 10에 나타나는 내부 버스라인(E)에 접속되어 있다.

그로 인하여 드레인신호선(V_i)에 플러스전극성의 계조전압을 공급하기 위해서는 내부버스라인(D)에 드레인신호선(V_i)에 플러스전극성의 계조전압을 선택하기 위해서 표시데이터를 송출하고, 역으로 드레인신호선(V_i)에 마이너스전극성의 계조전압을 공급하기 위해서는 내부버스라인(E)에 드레인신호선(V_i)에 마이너스전극성의 계조전압을 선택하기 위해서 표시데이터를 송출할 필요가 있다.

연산회로(22)는 상기 기술한 표시데이터를 도 10에 나타나는 내부 버스트라인(D) 혹은 내부버스트라인(E)에 송출하기 위하여 설치된다.

연산회로(22)는 스위치회로(61, 62)로 구성되고 스위치회로(61)는 교류화신호(도 20에 나타나는 M신호)의 [1] 혹은 [0] 레벨에 따라서 플립·플롭회로(3)로부터 출력되는 표시데이터 혹은 플립·플롭회로(2)로부터 출력되는 표시데이터를 선택하여 내부 버스트라인(D)에 송출한다.

동일한 형태로 스위치회로(62)는 교류화신호(도 20에 나타나는 M신호)의 [0] 혹은 [1]레벨에 따라서 플립·플롭회로(2)로부터 출력되는 표시데이터 혹은 플립·플롭회로(3)로부터 출력되는 표시데이터를 선택하여 내부 버스트라인(E)에 송출한다.

여기에서 스위치회로(62)에 공급되는 교류화신호(M)는 스위치회로(61)에 공급되는 교류화신호(M)의 반전 신호이므로 내부 버스트라인(D)에 송출되는 표시데이터가 플립·플롭회로(3)(또는 플립·플롭 회로(2))에서 출력되는 표시데이터인 경우에는 내부 버스트라인(E)에 송출되는 표시데이터는 플립·플롭회로(2)(또는 플립·플롭회로(3))에서 출력되는 표시데이터가 된다.

이 연산회로(22)의 연산내용을 도 15에 나타낸다.

연산회로(24)는 연산회로(21)와 역의 연산을 실행하는 회로이다.

이 연산회로(24)는 2계통의 내부버스트라인(D, E)별로 설치되는 배타적 논리총회로로 구성되고 데이터반전 신호에 근거하여 연산회로(21)에서 반전된 표시데이터를 또한 반전하고 또한, 연산회로(21)에서 반전되지 않았던 표시데이터는 그 상태로 출력하는 회로이다.

연산회로(25)는 교류화신호(M)의 전극성에 의해 2계통의 내부버스트라인(D, E)상에 송출되는 표시데이터의 순번이 교체되어 있기 때문에 이 순번을 표시데이터의 입력순으로 변경배치하기 위하여 멀티플렉스회로(41)에서 플립·플롭회로(4)와 플립·플롭회로(5)와의 선택순서를 변경시키기 위한 회로이다.

이 연산회로(25)의 연산내용을 도 16에 나타낸다.

도 16에 나타나는 바와 같이 이 연산회로(25)는 교류화신호(M)가 [0]일때는 내부버스트라인(D) → 내부버스트라인(E) → 내부버스트라인(D)의 순서로 표시데이터를 출력시키고 교류화신호(M)가 [1]의 경우는 내부버스트라인(E) → 내부버스트라인(D) → 내부버스트라인(E)의 순서로 표시데이터를 출력시킨다.

연산회로(24)에서 설명한 바와 같이 전송하는 표시데이터는 연산회로(21)에서 연산된 표시데이터를 역연산할 필요가 있다.

여기에서 본 실시형태에서는 이 데이터반전신호도 플립·플롭회로(6) ~ 플립·플롭회로(8)에 의해 클럭신호(CLL 2)에 동기하여 입력하고 또한 상기 기술한 바와 같이 교류화신호(M)에 의해 2계통의 내부버스트라인(D, E)상에 송출되는 표시데이터의 순번이 교체되어 있기 때문에 상기에 맞추어서 연산회로(23)의 스위치회로(63, 64)에 의해 플립·플롭회로(7), 플립·플롭회로(8)에서 출력되는 데이터 반전신호를 내부신호선(J, K)에 나누어서 송출한다.

이 내부신호선(J, K)상의 데이터 반전신호가 각각 연산회로(24)에 있어서 2계통의 내부버스트라인(D, E)별로 설치되는 배타적 논리총회로에 입력된다.

또한, 클럭신호(CLL 2)의 하강시점에서 내부신호선(J, K)상의 데이터반전신호는 플립·플롭회로(9) 및 플립·플롭회로(10)에 입력되고 연산회로(26)에 의해 멀티플렉스회로(42)에서 플립·플롭회로(9)와 플립·플롭회로(10)와의 선택순서를 변경시켜 교체되어 있는 내부신호선(J, K)상의 데이터반전신호를 원래의 상태로 하여 외부에 출력한다.

다음으로 지연회로(51)의 동작에 대해서 설명한다.

도 17에 나타나는 바와 같이 표시데이터를 클럭신호의 상승시점과 하강시점에서 입력하여 듀얼에이지 입력 방식의 경우에는 설정기간 및 유지기간으로 여유를 두기 위하여 표시데이터의 절환시점의 중간시점에 클럭신호(CLL 2)의 상승시점 및 하강시점이 위치해야 할 필요가 있다.

그런데 도 12에 나타나는 타이밍차트에서 알 수 있듯이 본 실시형태에서는 멀티플렉스회로(41)로부터 송출되는 표시데이터의 절환시점과 클럭신호(CLL 2)의 상승시점 및 하강시점은 일치하고 있다.

여기에서는 다음 단계의 드레인드라이버(130)에서는 표시데이터를 플립·플롭회로(1 ~ 3)에서 입력하는 것이 불가능하다.

지연회로(51)는 외부에 출력되는 클럭신호(CLL 2)의 위상을 지연하고 상기 기술한 문제점을 해결하기 위하여 설치된다.

도 18은 도 17에 나타나는 지연회로(51)의 일례를 나타내는 회로도이다.

동도 18에 나타나는 회로는 종속 접속된 n개의 인버터회로로 구성되고 상기 인버터회로의 수(n)는 상기 인버터회로에 의한 클럭신호(CLL 2)의 지연량도 도 17에 나타나는 바와 같이 표시데이터의 절환시점의 중간시점에 클럭신호(CLL 2)의 상승시점 및 하강시점이 위치하도록 지연량(90°)가 되도록 설정된다.

도 19는 도 17에 나타나는 지연회로(51)의 다른 예를 나타내는 회로도이다.

동도 19에 나타나는 회로는 상기 도 6부터 도 8에서 설명한 지연동기루프회로이고 이 경우에는 OUT 1이 90° 지연한 클럭신호(ft)를 구하도록 하고 있다.

도 20은 드레인드라이버(130)와 FPC기판(150)의 유리기판과의 접속방법을 설명하기 위한 모식단면도이다.

도 20에서 나타나는 바와 같이 드레인드라이버(130)에는 FPC기판(150)의 배선층(320) →유리기판(SUB 1)

의 메탈라이징층(321) →유리기판(SUB 1)의 배선층(322) →유리기판(SUB 1)의 메탈라이징층(323) →드레인드라이버(반도체 칩(130)의 범프전극(324)을 경유로 하여 전원전압이 공급된다.

이 경우에 본 실시형태에서는 도 21에 나타나는 바와 같이 표시데이터 전송용회로(예를들면, 멀티플렉스 회로(41)등)(331)에 공급하는 전원과 클럭신호 전송용회로 (예를들면 지연회로(51)등)(332)에 공급하는 전원을 분리하도록 하고 있다.

즉, 표시데이터 전송용 회로용(331)과 클럭신호 전송용 회로(332)에 각각 별도의 패드전극(333) 및 전원 라인을 개입하여 전원을 공급하도록 하고 있다.

또한, 도 21은 본 실시형태의 드레인드라이버(130)로의 전원전압 공급계통을 나타내는 도이고 동도 22에 있어서 저항(R)은 유리기판의 메탈라이징층(321) →유리기판의 배선층(322) →유리기판의 메탈라이징층(323) →드레인드라이버(반도체 칩(130)의 범프전극(324)간의 저항성분을 나타낸다.

도 22는 표시데이터 전송용회로(331)에 공급하는 전원과 클럭신호 전송용회로(332)에 공급하는 전원을 분리하지 않는 경우의 전원전압공급 계통을 나타내는 도이지만 동도 22에 나타나는 예에서는 표시데이터 전송용회로(331)의 멀티플렉스회로(41)에 교류하는 전류가 표시데이터의 비트수만 필요하기 때문에 상기 한 저항(R)에서의 전압저하가 크고 이것에 의해 클럭신호 전송용회로(332)에 공급되는 전원전압이 저하하고 클럭신호(CL 2)의 진폭이 작아진다.

그런데, 본 실시형태에서는 표시데이터 전송용회로(331)에 공급하는 전원과 클럭신호 전송용회로(332)에 공급하는 전원을 분리하도록 한 것이므로 상기기술한 바와 같은 클럭신호 전송용회로(332)에 공급되는 전원전압이 저하하고 클럭신호(CL 2)의 진폭이 작아지는 경우가 없다.

즉 본 실시형태에서는 클럭신호 전송용회로(332)에 대한 표시데이터 전송용회로(331)의 영향을 저감하는 것이 가능해진다.

[실시형태 2]

도 23은 본 발명의 실시형태 2의 드레인 드라이버의 개략적 구성을 나타내는 블록도이다.

본 실시형태는 클럭보상회로(200)를 데이터출력회로(134)내에 설치한 시점에서 상기 실시형태 1과 상이하다.

본 실시형태에서는 데이터출력회로내에 설치된 클럭보상회로(200)에서 생성된 클럭을 상기 기술의 지연회로(51)에 지연하여 다음단계의 드레인드라이버(130)에 출력한다.

또한, 본 실시형태의 드레인드라이버(130)내의 각부의 동작은 상기 기술의 설명에 있어서 내부클럭신호(CL 2)를 클럭신호(CL 2)와 교체하면 좋으므로 상세한 설명은 생략한다.

또한, 클럭보상회로(200)의 삽입위치는 상기 실시형태 1과 같이 드레인드라이버(130)의 클럭신호의 입력측 혹은 본 실시형태와 같이 드레인드라이버(130)의 클럭신호의 출력측에 한정되는 것은 아니고 드레인드라이버(130)내에서 외부로부터 입력된 클럭신호(CL 2)가 외부로 출력되기까지의 전송경로중에 삽입되는 회로소자(예를들면 인버터회로(52)에 의해 논리레벨이 반전하는 회수가 홀수가 되는 값으로 설정한 것이다.

[실시형태 3]

도 24는 본 발명의 실시형태 3의 드레인드라이버의 개략적 구성을 나타내는 블록도이다.

본 실시형태에서는 상기 각 실시형태의 클럭보상회로(200)를 설치하는 대신에 도 25에 나타나는 바와 같이 각 드레인드라이버(130)내에서 외부로부터 입력된 클럭신호(CL 2)가 외부로 출력되기까지의 전송경로중에 삽입되는 회로소자(예를들면 인버터회로(52)에 의해 논리레벨이 반전하는 회수가 홀수가 되는 값으로 설정한 것이다.

상기 기술한 바와 같이 CMOS인버터회로에서는 각 MOS트랜지스터의 한계치(V_{th})가 변화하면 출력클럭신호의 충격비(즉, 펄스신호의 주기에 대한 High레벨기간비)가 변화한다.

상기로 인하여 디지털신호 순차전송방식을 채용하는 액정표시장치에서는 각 드레인드라이버(130)를 클럭신호(CL 2)가 전송해 가는 도중에 클럭신호(CL 2)의 충격비의 변화가 축적되어 표시데이터와의 위상차가 커진다.

그런데 상기 기술한 바와 같이 각 드레인드라이버(130)에서 전달하는 클럭신호(CL 2)의 논리레벨의 반전 회수가 홀수가 되어진 것에 의해 예를들면 전단계의 드레인 드라이버(130)에서 클럭신호(CL 2)의 충격비가 커지도록 변화를 주어도 다음단계의 드레인드라이버(130)에서는 클럭신호(CL 2)의 충격비가 작아지도록 변한다.

상기에 의해 전체에서 클럭신호(CL 2)의 충격비의 변화를 작게하는 것이 가능해진다.

또한, 본 실시형태의 드레인드라이버(130)내의 각부의 동작은 상기 기술설명에 있어서 내부클럭신호(CL 2)를 클럭신호(CL 2)와 교체하면 좋으므로 상세한 설명은 생략한다.

상기 기술 한 바와 같이 충격비의 변동을 방지하기 위하여 표시데이터를 반전하여 다음 단계의 드레인드라이버에 데이터를 전송하는 방법이 공지문헌(사크정보 제 74호 (1999년 9월 8일)제 31 ~ 34항)에 기재되어 있지만, 본 실시형태는 표시데이터를 클럭신호(CL 2)에 동기시켜서 다음단계로 출력하는 점과 표시데이터를 반전시키지 않고 클럭신호(CL 2)만을 반전시키는 점에서 상기 문헌기재의 것과는 다르다.

상기 문헌에 기재하고 있는 것은 표시데이터를 클럭에 동기시켜서 출력시키는 것이 없이 때문에 충격비의 변동을 방지하기 위하여 전체 표시데이터를 반전하여 출력시키지 않으면 안된다.

따라서, 다음 단계의 드레인드라이버는 반전된 표시데이터를 본래의 액정구동전압을 생성할 필요가 있

므로 마이너스 논리의 드레인드라이버가 아니면 안되고 드레인드라이버의 종류가 증가하여 코스트가 높아지는 액정표시장치의 제조가 복잡해지고 수율이 저하하는 등의 단점이 있다.

상기에 대해서 본 발명에서는 표시데이터를 클럭신호(CL 2)에 동기시켜서 다음 단계의 드레인드라이버에 출력하므로 표시데이터를 반전하여 출력할 필요없이 다음 단계의 드레인드라이버는 동일한 논리의 드레인드라이버도 이용하는 것이 가능하고 코스트가 높아지는 경우 없이 액정표시장치의 제조가 용이해지고 수율이 향상하는 효과가 있다.

또한, 본 발명에서는 클럭신호(CL 2)에 대해서는 충격비 변동을 방지하기 위하여 반전하여 출력하게 되지만 다음단계의 드레인드라이버는 클럭신호(CL 2)에 대해서만 특별한 제어회로를 설치하는 것만으로 되기 때문에 회로가 간단하고 또한 한 종류의 논리드레인 드라이버로 액정표시장치를 구성하는 것이 가능하다.

구체적으로는 본 실시형태에서는 각 드레인드라이버의 초기펄스를 클럭신호(CL 2)에서 입력할 때의 타이밍을 정전(正轉)클럭과 반전클럭에서 동일하게 하는 회로를 각 드레인드라이버에 설치한다.

혹은 도 26에 나타나는 바와 같이 다음단계의 드레인드라이버(130)에 전송하는 표시데이터를 소정시간(예를 들면 90°) 지연한다.

이 도 26에 있어서 정전클럭신호는 전단계의 드레인드라이버(130)에 입력되는 클럭신호(CL 2)를 표시하고 반전클럭신호는 다음 단계의 드레인드라이버(130)에 입력되는 클럭신호(CL 2)를 나타낸다.

이 도 26에 나타나는 예에서는 전단계의 드레인드라이버(130)에서는 표시데이터(1)는 정전클럭신호의 상승으로 드레인드라이버(130)에 입력되고 또한 표시데이터는 예를 들면 지연회로에 의해 90° 지연되어 다음 단계의 드레인드라이버(130)에 전송되므로 다음단계의 드레인드라이버(130)에서도 표시데이터(1)는 반전클럭신호의 상승으로 드레인드라이버(130)에 입력된다.

또한, 표시데이터를 반전하여 다음단계의 드레인드라이버에 전송하는 방법에서도 각 드레인드라이버에 극성반전한 표시데이터를 본래의 극성 표시데이터에 되돌리는 회로 및 표시데이터의 극성을 제어하는 회로를 설치하는 것에 의해 드레인드라이버를 공용화하는 것은 가능하다.

그런데 상기 기술한 경우는 공지문헌(사프문헌, 제 74호(1999년 8월), 제 31 ~ 34항)에서는 모두 검토되어 있지 않고 또한 표시데이터의 각 비트별로 극성반전을 제어하는 회로가 필요해지고 회로가 대규모가 되는 단점이 있다.

[실시형태 4]

도 27은 상기 실시형태의 클럭신호(CL 2)의 전송경로를 간략화하여 나타내는 도이다.

상기 기술한 바와 같이 공지문헌이 개시하는 기술에서는 각 드레인드라이버는 표시데이터를 반전하여 다음단계의 드레인드라이버에 전송하고 있다.

또한 클럭신호도 1계통밖에 설치되어 있지 않다.

상기 공지문헌의 기술에서는 드레인드라이버에 입력되는 클럭신호(CL 2)가 H레벨이면 다음단계의 드레인드라이버에 입력되는 클럭신호(CL 2)는 L레벨 또한 다음단계의 드레인드라이버에 입력되는 클럭신호(CL 2)는 H레벨이 된다.

그로 인하여 2종류의 드레인드라이버를 용의할 필요가 있다.

즉, 표시데이터 및 클럭신호(CL 2)의 정전신호가 입력되는 것을 전제한 논리구성의 드레인드라이버(예를 들면 도 27의 130a, 130c)와 반전신호가 입력되는 것을 전제한 논리구성의 드레인드라이버(예를 들면 도 27의 130b)를 용의할 필요가 있다.

이와 같이 상기 공지문헌에 기재된 드레인드라이버에서는 액정구동회로의 회로구성이 복잡해지는 차점이 있다.

도 28은 본 발명의 실시형태 4의 클럭신호(CL 2)의 전송경로를 간략화하여 나타내는 도이다.

본 실시형태에서는 각 드레인드라이버(130a, 130b, 130c)에 클럭신호(CL 2)의 정전클럭(CL (T))과 클럭신호(CL 2)의 반전클럭(CL 2(B))이 입력된다.

여기에서 상기 실시형태와 동일한 형태로 정전클럭(CL 2(T))과 반전클럭(CL 2(B))은 각 드레인드라이버내의 전송경로중에 그 논리레벨의 반전회수가 홀수회수가 되도록 설정되어 있다.

또한, 도 28에서도 정전클럭(CL 2(T)) 및 반전클럭(CL 2(B))의 논리레벨의 홀수회수의 반전회수를 직렬접속된 3개의 인버터로 표현하고 있다.

본 실시형태에서도 전단계의 드레인드라이버(예를 들면 130a)에서 정전클럭(CL 2(T)) 및 반전클럭(CL 2(B))의 충격비가 커지도록 변화하였어도 다음단계의 드레인드라이버(예를 들면 130b)에서는 정전클럭(CL 2(T)) 및 반전클럭(CL 2(B)) 모두 충격비가 작아지도록 변화한다.

이것에 의해 전체에서 클럭신호(CL 2)의 정전클럭(CL 2(T)) 및 반전클럭(CL 2(B))의 충격비의 변화를 작게 하는 것이 가능해진다.

또한 본 실시형태에서는 정전클럭(CL 2(T)) 및 반전클럭(CL 2(B))이 전송되는 각 드레인드라이버간의 전송선로(유리기판상의 전송선로)를 접합하여 전단계의 드레인드라이버(예를 들면 130a)에서 출력되는 정전클럭(CL 2(T))을 다음단계의 드레인드라이버(예를 들면 130b)의 반전클럭(CL 2(B))으로서 입력하고 전단계의 드레인드라이버(예를 들면 130a)에서 출력되는 반전클럭(CL 2(B))을 다음단계의 드레인드라이버(예를 들면 130b)의 정전클럭(CL 2(T))으로서 입력하도록 하고 있다.

이와 같은 구성을 채용하는 것에 의해 각 드레인드라이버(130a, 130b, 130c)의 정전클럭(CL 2(T)) 입력단

자에 입력되는 클럭신호의 레벨은 모두 동일해지므로 상기 기술한 바와 같은 클럭신호(CL 2)에 대해서만 특별한 제어회로등을 설치할 필요 없고 또는 2종류의 드레인드라이버를 용의할 필요도 없다.

또한 본 실시형태에 있어서 도 29에 나타나는 바와 같이 각 드레인드라이버(130a, 130b, 130c)의 내부에서 정전클럭(CL 2(T)) 및 반전클럭(CL 2(B))가 전송되는 내부신호선을 절환하여 전단계의 드레인드라이버(예를들면 130a)로부터 출력되는 정전클럭(CL 2(T))을 다음단계의 드레인드라이버(예를들면 130b)의 반전클럭(CL 2(B))로서 입력하고 전단계의 드레인드라이버(예를들면 130a)로부터 출력되는 반전클럭(CL 2(B))을 다음단계의 드레인드라이버(예를들면 130b)의 정전클럭(CL 2(T))로서 입력하도록 하여도 좋다.

[실시형태 5]

도 30은 본 발명의 실시형태 5의 데이터삽입·연산회로(133) 및 데이터출력회로(134)의 회로구성을 나타내는 회로도이다.

동도 30에 있어어도 점선보다 좌측(지시선 AA의 방향)이 데이터삽입·연산회로(133)로 점선보다 우측(지시선 BB의 방향)이 데이터출력회로(134)를 나타낸다.

도 30에 나타나는 바와 같이 본 실시형태에서는 스태바이회로(71, 72)를 부가한 점에서 도 10에 나타나는 상기 실시형태 1의 데이터 삽입·연산회로(133) 및 데이터출력회로(134)와 상이한다.

상기 기술한 연산회로(21, 22, 23)의 연산은 외부로부터 입력되는 표시데이터가 자체드레인 드라이버내에서 삽입하는 표시데이터인 경우만 필요해지는 것이다.

상기에서 본 실시형태에서는 스태바이회로(71, 72)에 의해 외부로부터 입력되는 표시데이터가 자체드레인 드라이버내에서 삽입하는 표시데이터인 경우에 연산회로(21, 22, 23)를 유효로 하고 그 이외의 경우에는 연산회로(21, 22, 23)를 무효로 하는 것이다.

도 31은 도 30에 나타나는 스태바이회로(71)의 회로구성을 나타내는 블록도이다.

도 31에 나타나는 바와 같이 상기 스태바이회로(71)에서는 카운터회로(350)는 초기펄스(표시데이터 삽입 개시신호)가 입력되면 클럭신호(CL2)를 카운트한다.

또한 카운터회로(350)의 카운터수가 소정의 카운터수 이하의 경우에 스위치회로(351)는 데이터반전신호를 출력하고 카운터회로(350)의 카운터수가 소정의 카운터수를 넘으면 스위치회로(351)는 일정한 바이어스전압(High레벨의 전압 혹은 Low 레벨의 전압등)(Vbb)을 출력한다.

상기에 의해 연산회로(21)는 표 1에 나타나는 연산내용을 실행하는 것이된다.

또한, 스태바이회로(72)도 스태바이회로(71)와 동일한 회로구성이다.

본 실시형태에 의하면 외부로부터 입력되는 표시데이터가 자체 드레인드라이버내에서 삽입할 필요가 없는 표시데이터(바꾸어 말하면 단순히 전송용의 표시데이터)인 경우에 여분의 연산회로를 실행할 필요가 없기 때문에 소비전력을 저감하는 것이 가능하다.

또한 상기 실시의 각 실시형태에서는 드레인드라이버(130)가 액정표시판넬의 유리기판에 직접실장되어 있는 경우에 대해서 설명하였지만 본 발명은 여기에 한정되는 것은 아니고 드레인드라이버(130)가 테이프 캐리어 패키지에 탑재되는 디지털신호 순차전송방식의 액정표시장치에도 적용가능한 것은 물론이다.

이상, 본 발명자에 의해 이루어진 발명을 상기 실시형태에 의거하여 구체적으로 설명하였지만 본 발명은 상기 실시형태에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범위에서 종류별로 변경이 가능한 것은 물론이다.

발명의 효과

본 원에 있어서 개시되는 발명가운데 대표적인 것에 의해 구할수 있는 효과를 간단하게 설명하면 하기와 같다.

(1) 본 발명의 액정표시장치에 의하면 표시데이터의 전송에 액정드라이버(IC)내의 데이터버스를 이용하여 실행하므로 각 액정드라이버(IC)에 표시데이터를 개별전송하기 위하여 프린트기판의 배선이 불필요해지고 액정표시장치의 주변회로영역을 작게하는 것이 가능 해진다.

(2) 본 발명의 액정표시장치에 의하면 액정구동회로에 입력되는 클럭신호의 충격비의 변동을 보상하는 것이 가능 해진다.

(3) 본 발명의 액정표시장치에 의하면 액정표시소자에 표시되는 화상에 과오표시가 일어나는 것을 방지할 수 있어서 액정표시소자에 표시되는 화상의 표시품질을 향상시키는 것이 가능해진다.

(57) 청구의 범위

청구항 1

액정표시소자와 액정구동회로를 구비하는 액정표시장치에 있어서,

상기 액정구동회로의 구성은,

영상신호가 입력하는 영상입력단자와,

외부클럭신호가 입력하는 클럭입력단자와,

상기 외부클럭신호에 근거한 제 1의 전압에서 제 1의 전압보다 낮은 제 2의 전압까지 진폭하는 내부클럭을 생성하는 클럭보상회로와,

상기 내부클럭신호의 전압이 절환하는 타이밍에서 영상신호를 격납하는 데이터기억회로와,
 상기 데이터기억회로에서 영상신호가 출력되는 데이터버스와,
 상기 데이터버스의 영상신호로부터 액정표시소자를 구동하는 전압을 선택하여 출력하는 전압선택회로로
 구성되는 것을 특징으로 하는 액정표시장치.

청구항 2

청구항 1에 있어서,
 상기 클럭보상회로는 위상동기루프회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3

청구항 1에 있어서,
 상기 클럭보상회로는 지연동기루프회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 4

청구항 1에 있어서,
 상기 데이터버스는 2계통의 신호선으로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 5

액정표시소자와 액정구동회로를 구비하는 액정표시장치에 있어서,
 상기 액정구동회로의 구성은,
 외부클럭을 입력하고 제 1의 전압이 출력하는 제 1의 기간과, 제 2의 전압이 출력하는 제 2의 기간을 구
 비하는 내부클럭을 출력하는 클럭보상회로와,
 상기 내부클럭이 절환하는 타이밍에서 영상신호를 입력하는 데이터래치회로와,
 상기 데이터래치회로로부터 영상신호가 출력하는 데이터버스와,
 상기 데이터버스의 영상신호로부터 전압을 액정표시소자에 출력하는 전압출력회로와,
 상기 데이터버스의 영상신호를 다음단계의 액정구동회로에 출력하는 데이터출력회로로 이루어지고,
 상기 클럭형성회로는 외부클럭에 기초하여 내부클럭을 수정하는 것을 특징으로 하는 액정표시장치.

청구항 6

청구항 5에 있어서,
 상기 클럭형성회로는 위상동기루프회로를 구비하는 것을 특징으로 하는 액정표시장치.

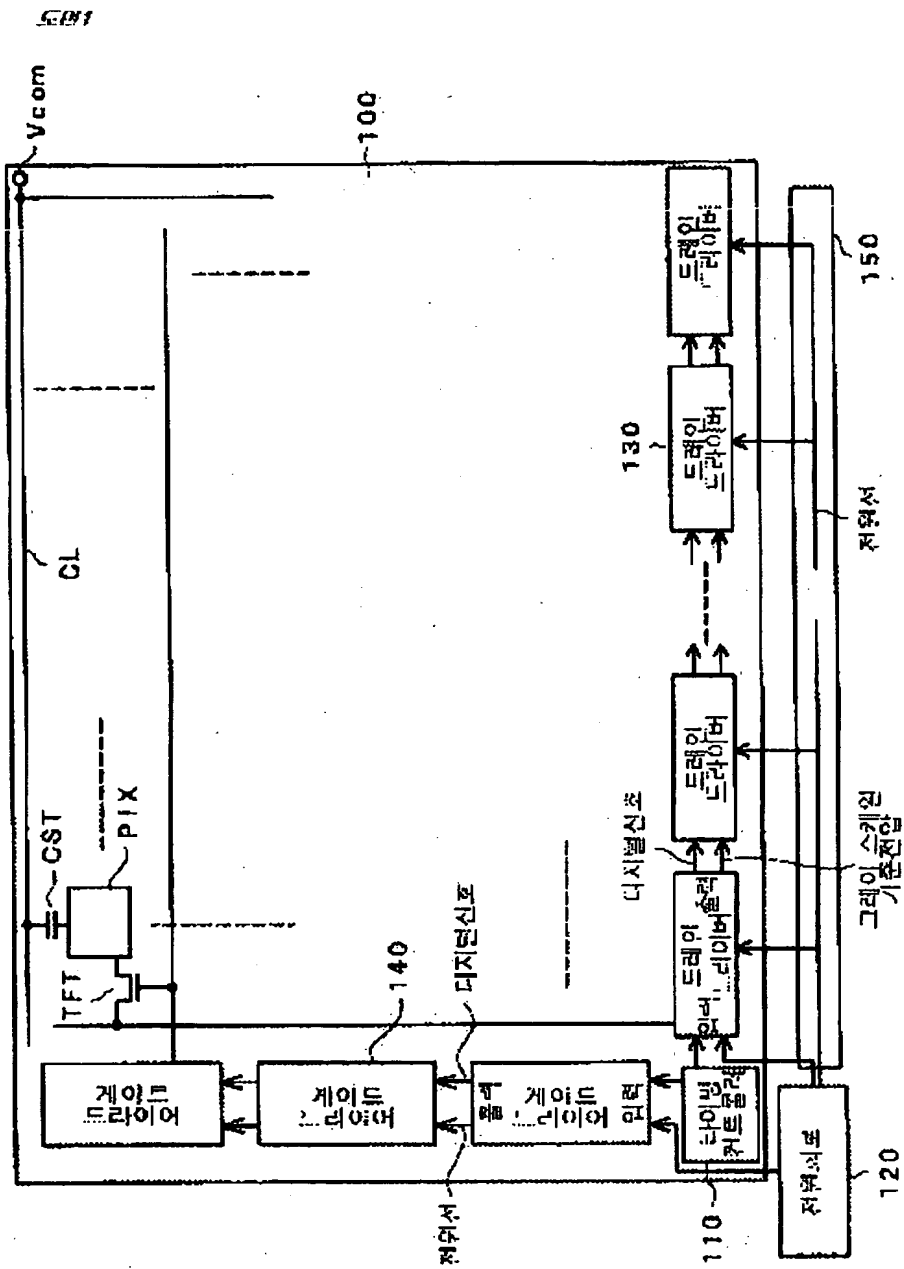
청구항 7

청구항 5에 있어서,
 상기 클럭형성회로는 지연동기루프회로를 구비하는 것을 특징으로 하는 액정표시장치.

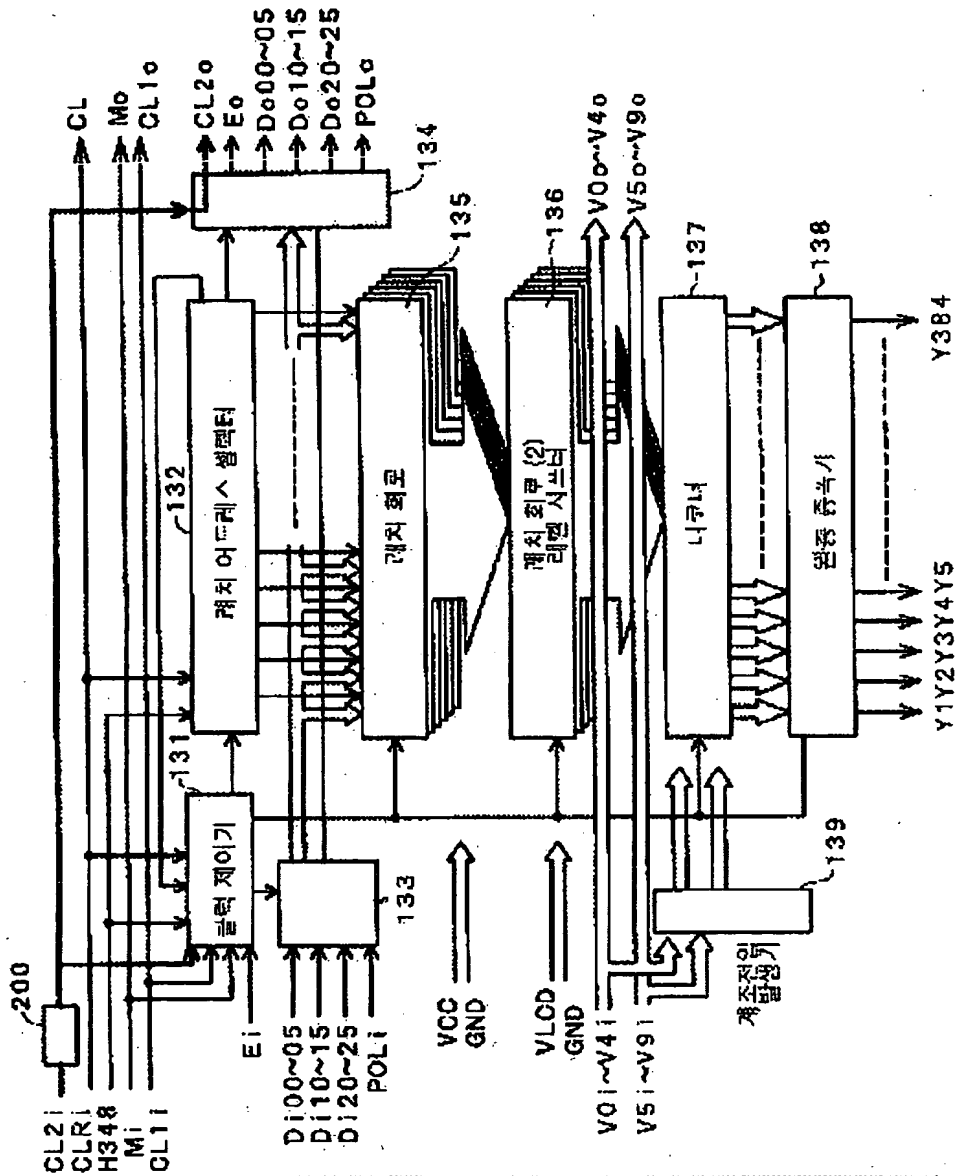
청구항 8

청구항 5에 있어서,
 상기 데이터버스는 2계통의 신호선으로 이루어지는 것을 특징으로 하는 액정표시장치.

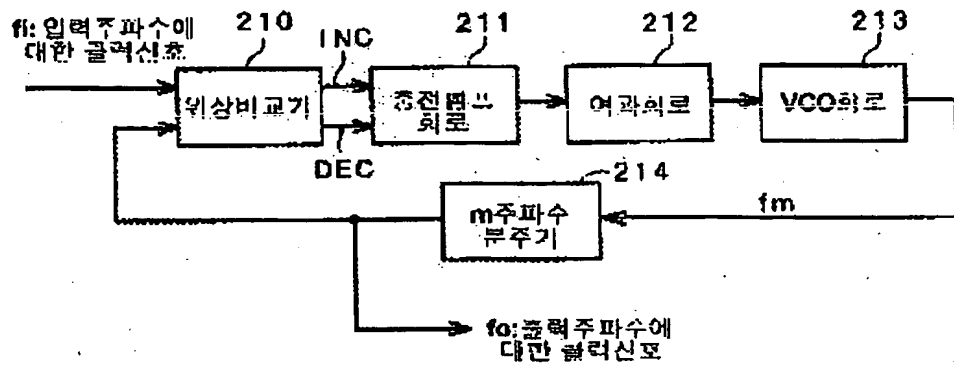
도 1



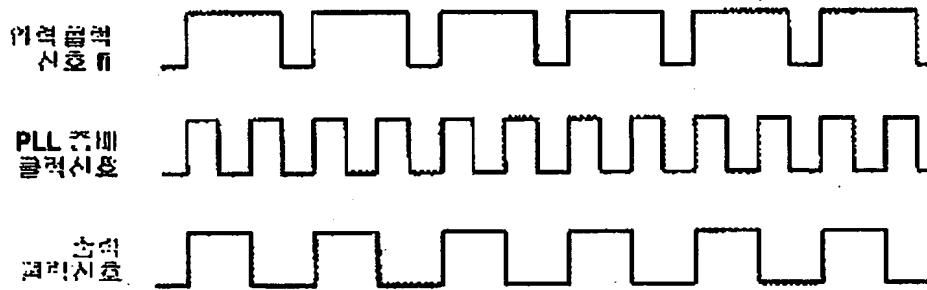
도 2



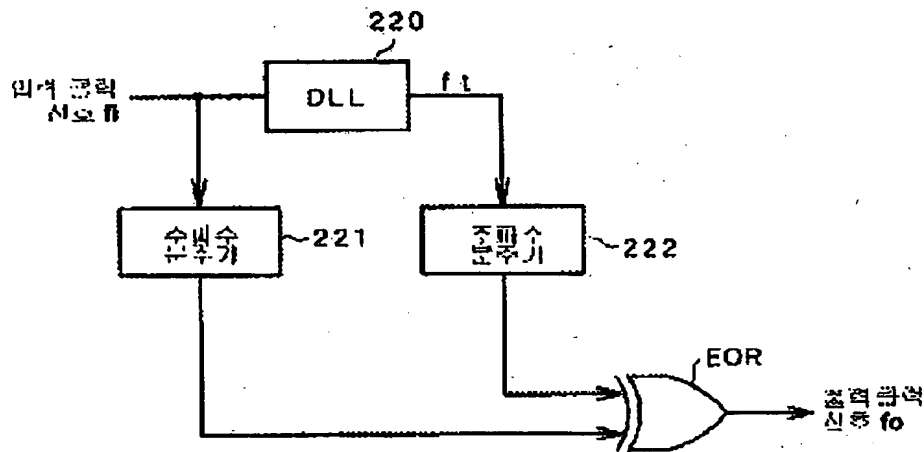
도면3



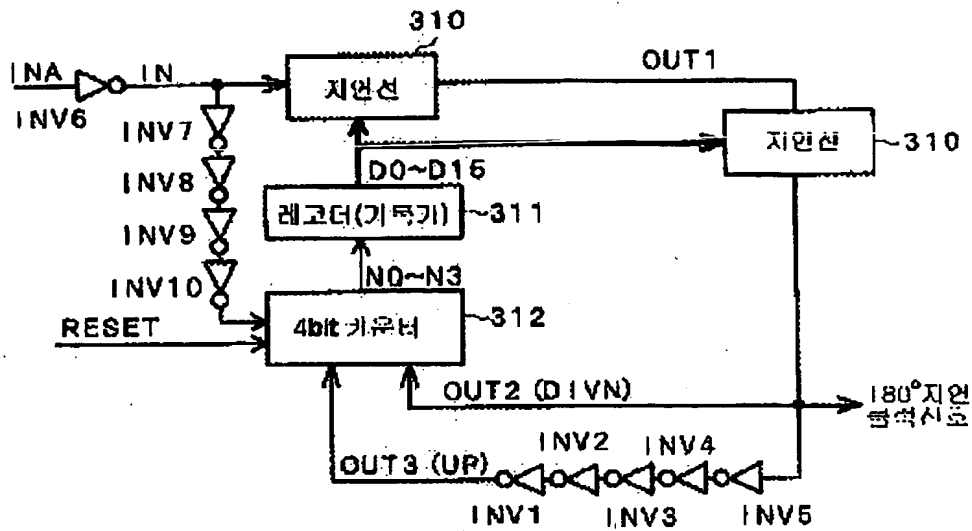
도면4



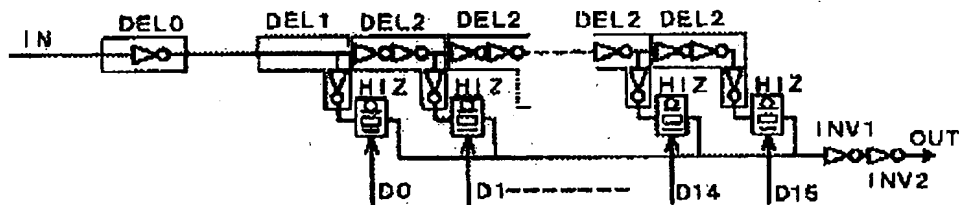
도면5



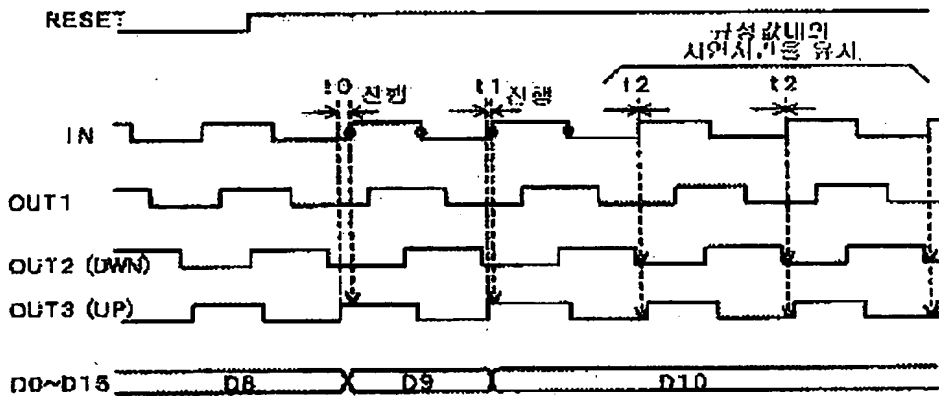
도 18



도 19



도 20



도 100

입력 클럭
신호 κ



180° 지연
클럭신호



2분할 주파기
위상 클럭신호



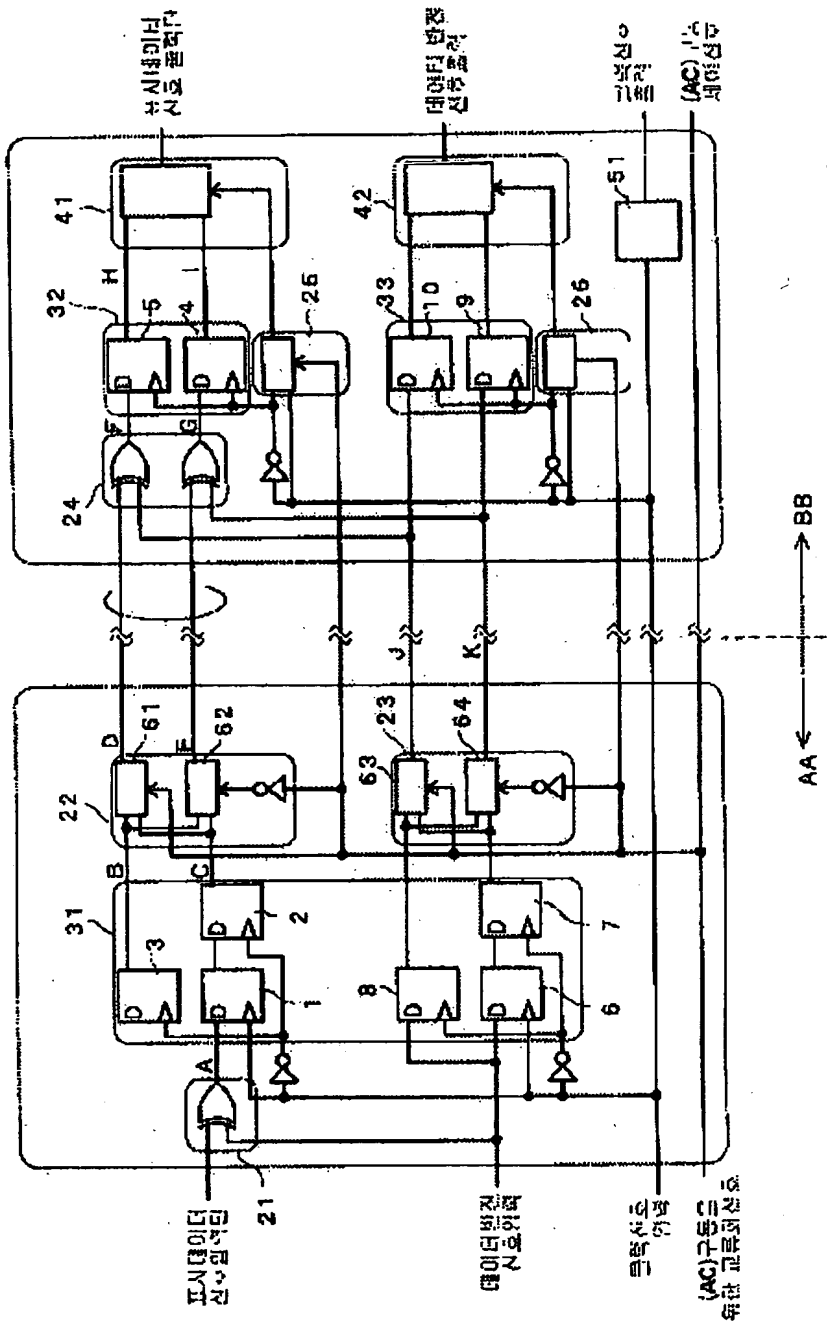
2분할 주파기
180° 클럭신호



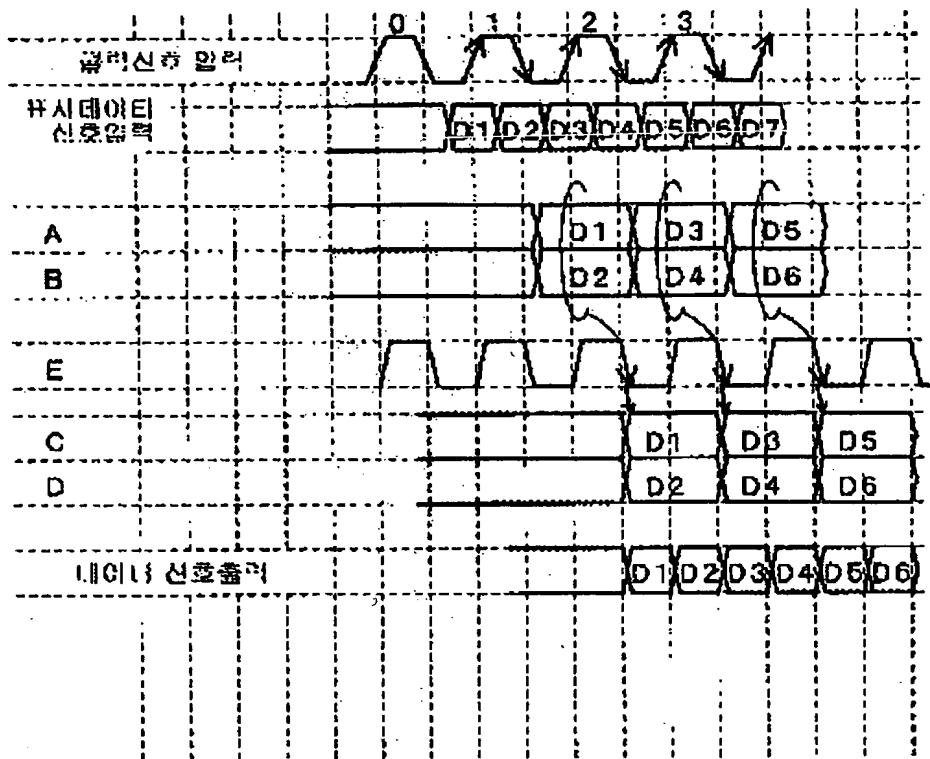
출력 클럭
신호 ϕ_0



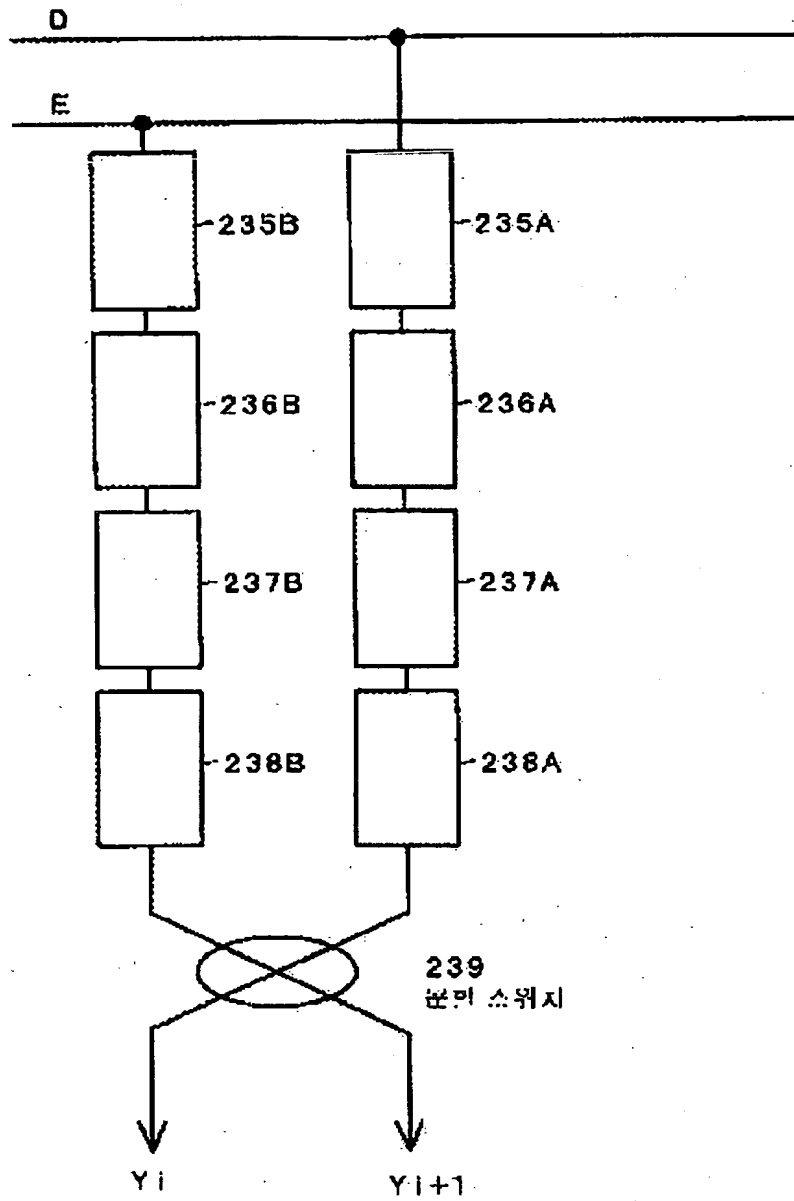
도면 11



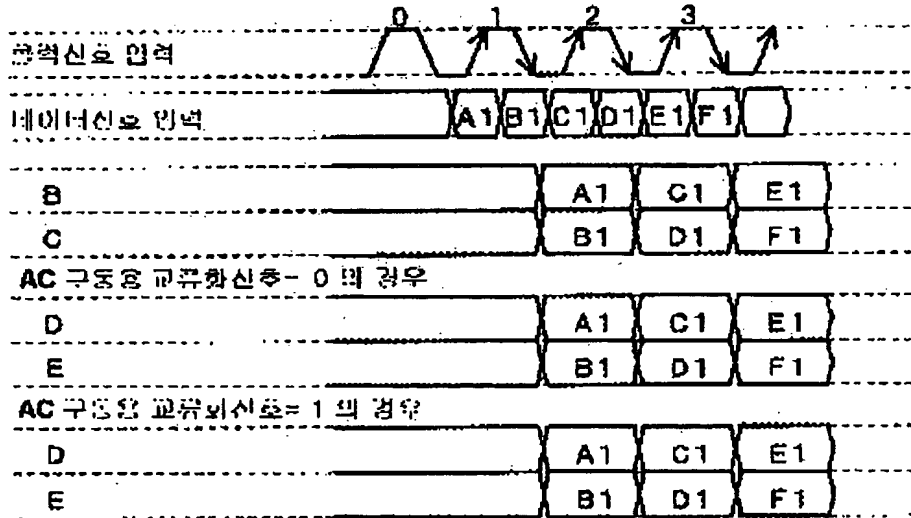
도 12



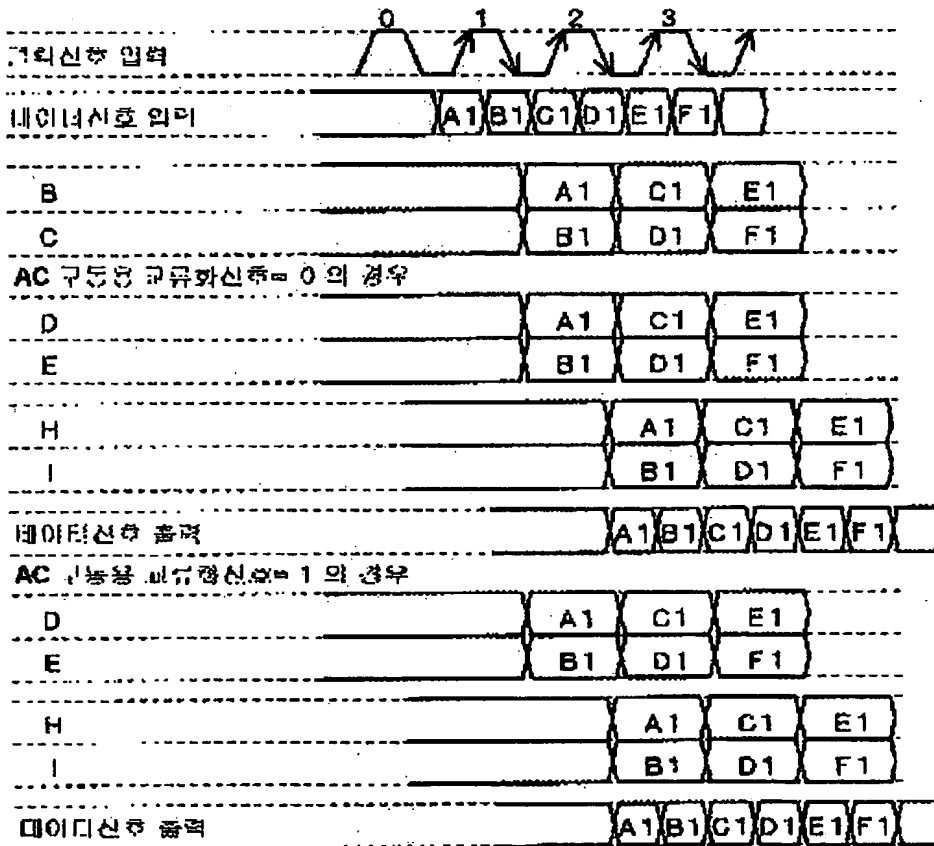
도 14



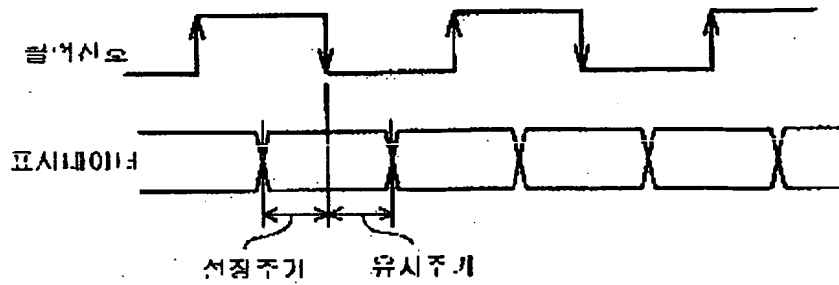
도 15



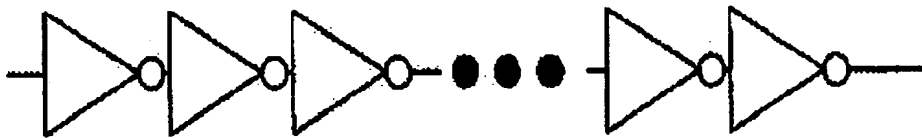
도 16



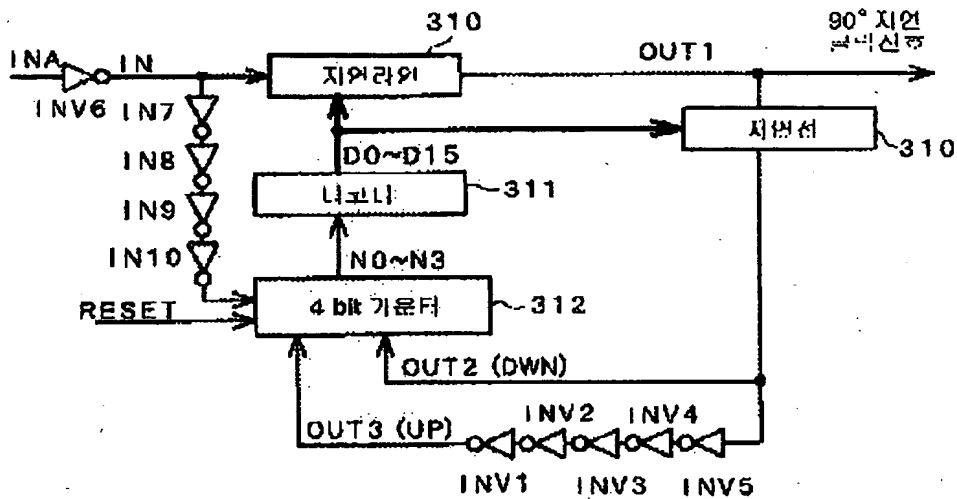
도면17



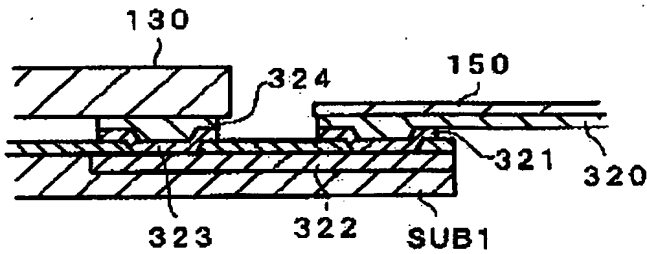
도면18



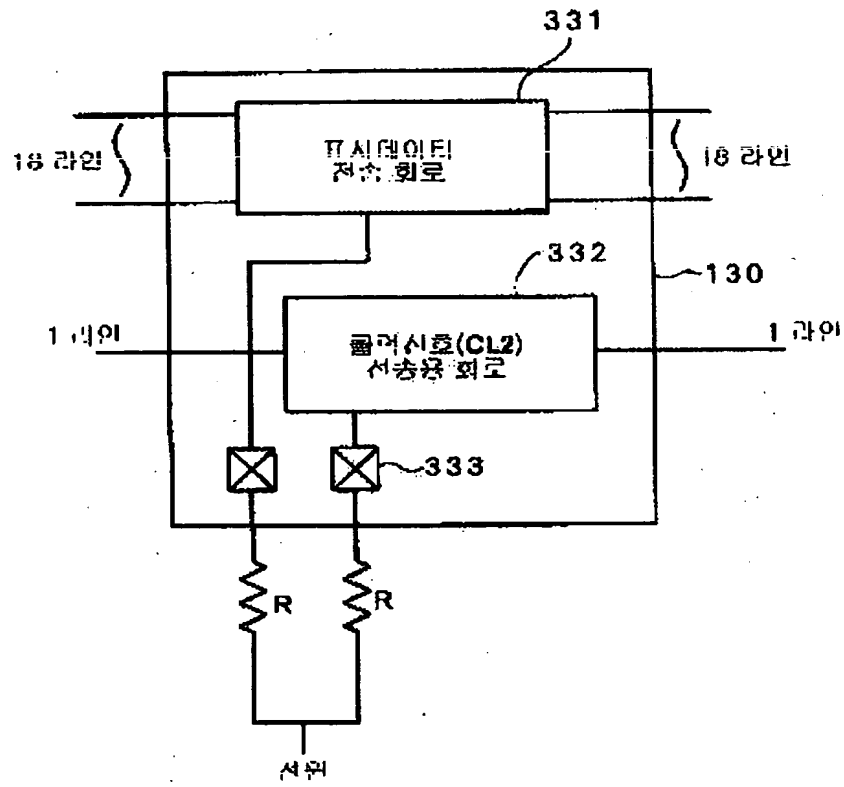
도면19



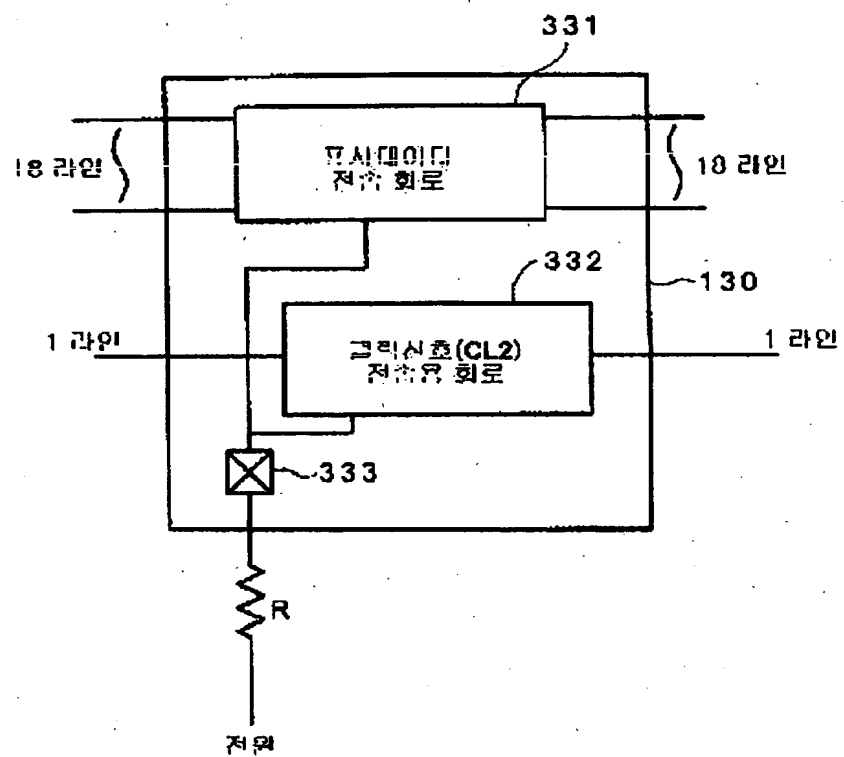
도면20



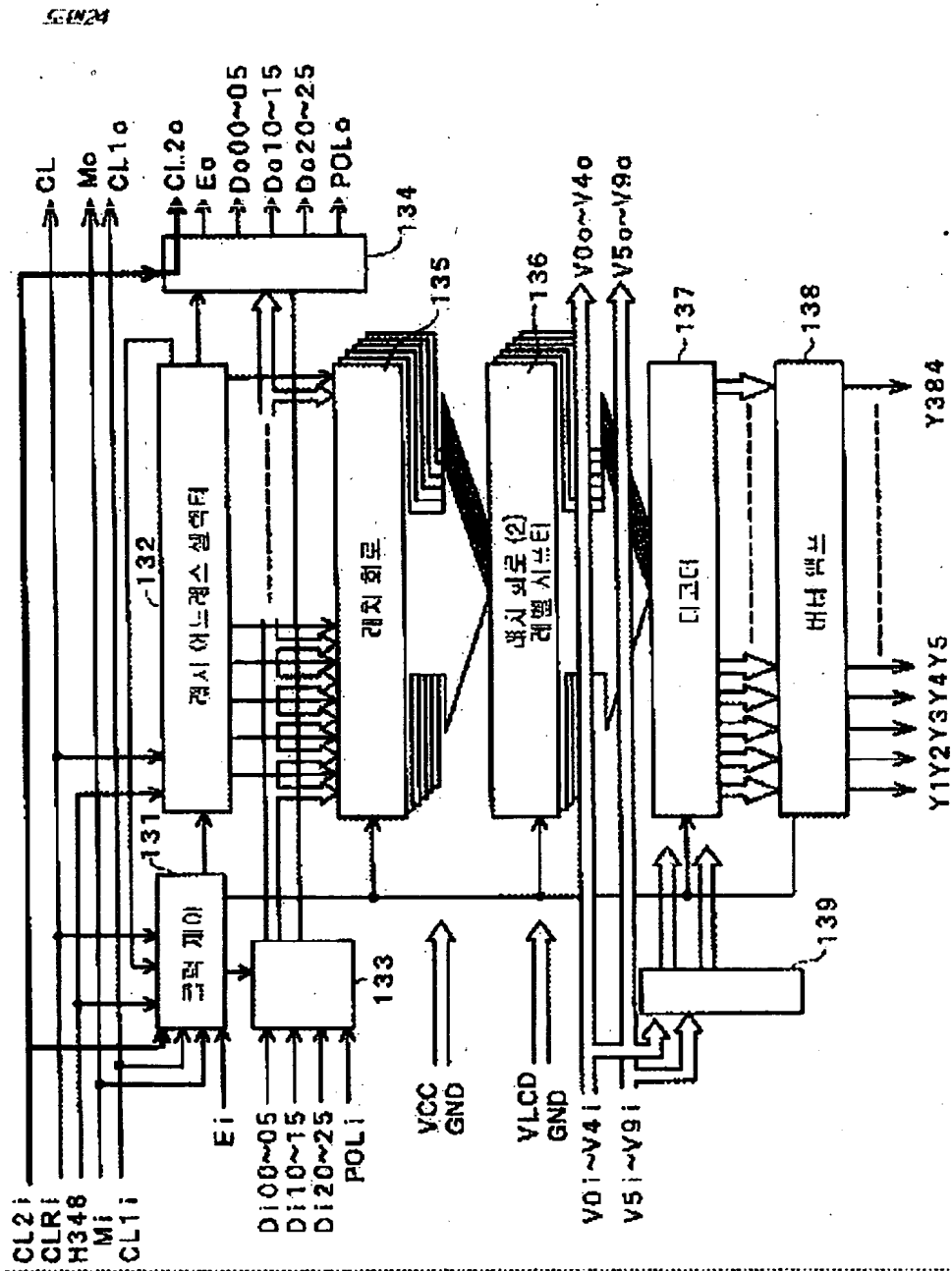
도면21



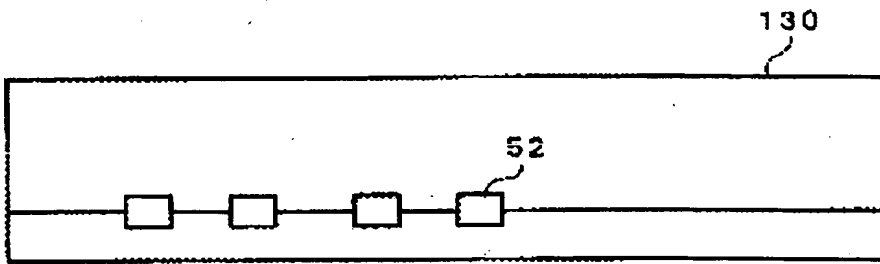
5022







도 25



도 26

펄스 신호



푸시데이터

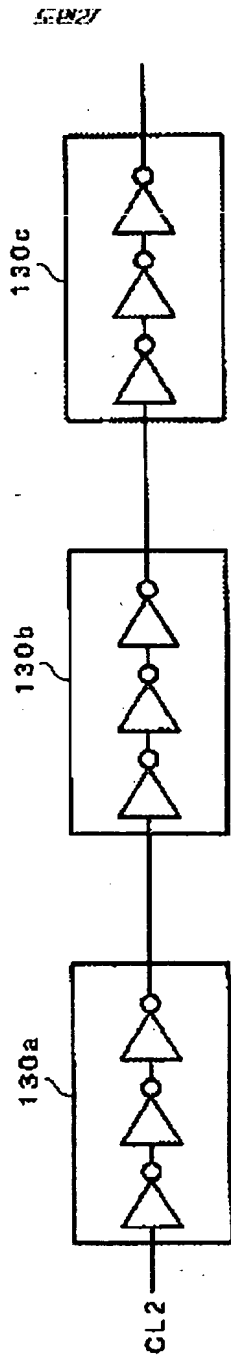


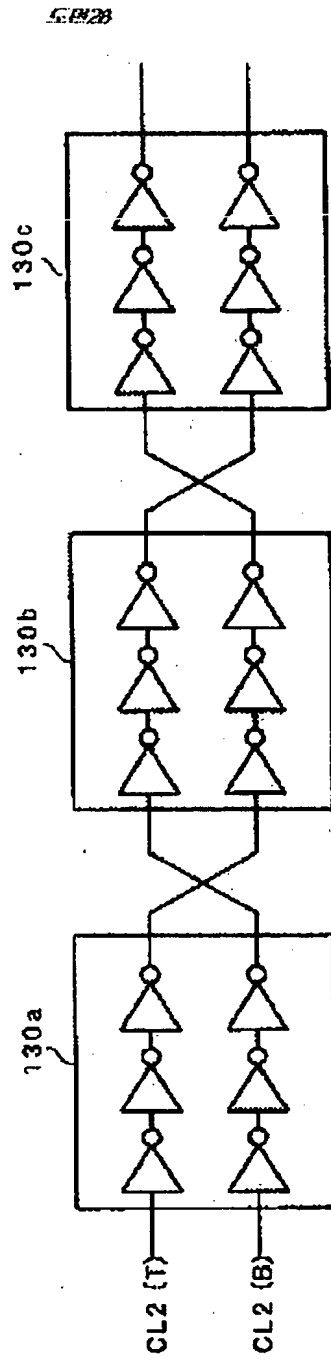
펄스 신호
(반전 펄스)

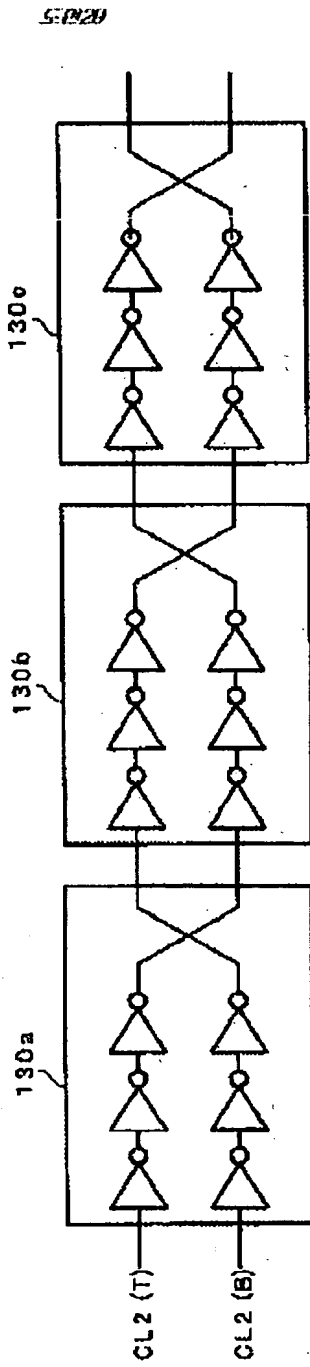


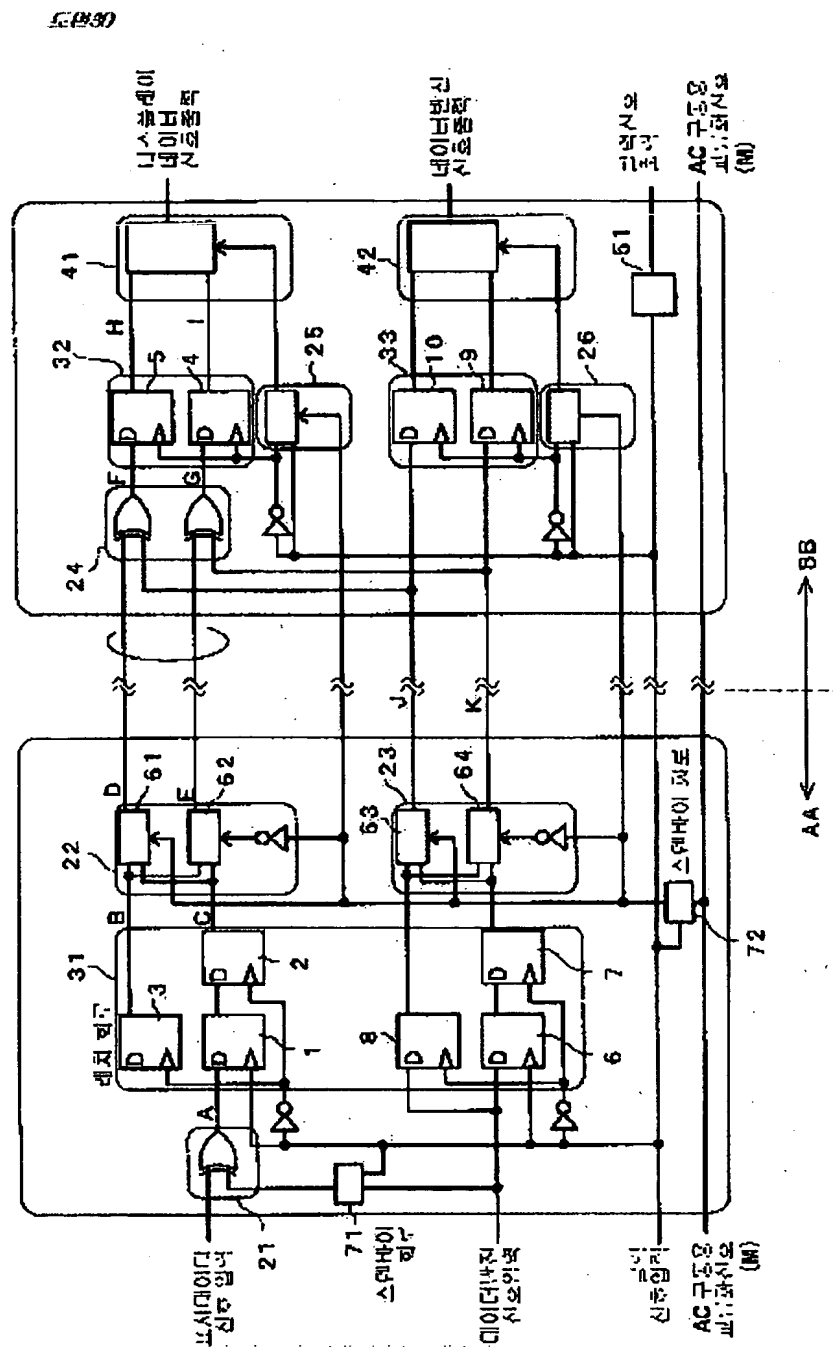
푸시데이터



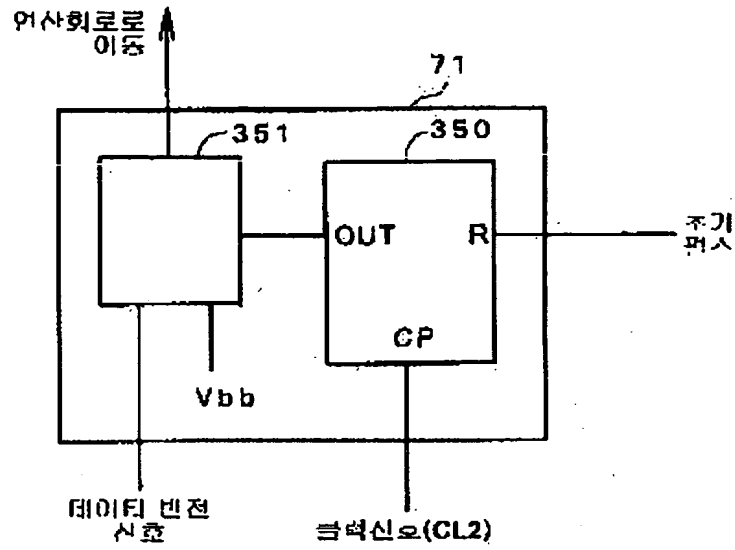




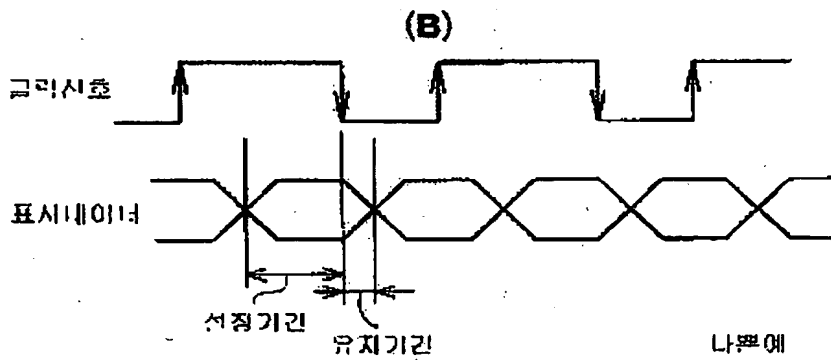
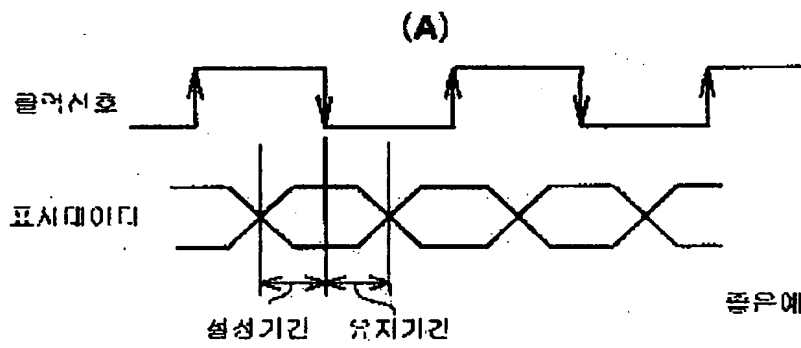




도 31



도 32



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.